

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
8. März 2001 (08.03.2001)

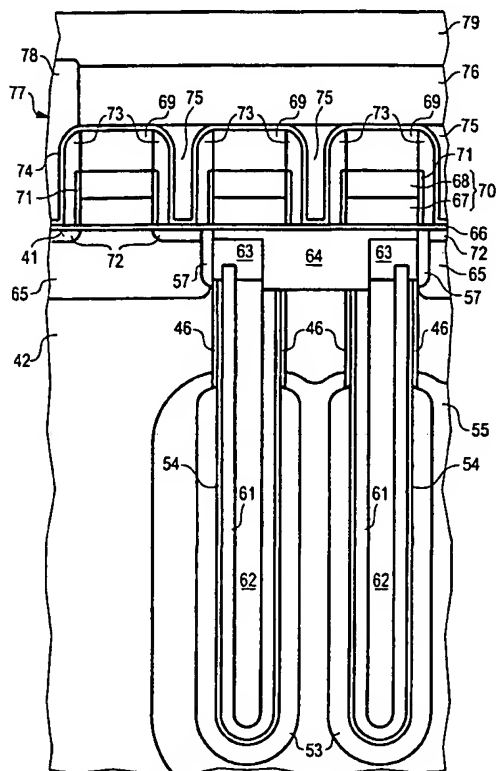
(10) Internationale Veröffentlichungsnummer  
PCT WO 01/17014 A1

- (51) Internationale Patentklassifikation<sup>7</sup>: H01L 21/8242 (72) Erfinder; und  
(21) Internationales Aktenzeichen: PCT/DE00/02218 (75) Erfinder/Anmelder (nur für US): SELL, Bernhard  
(22) Internationales Anmeldedatum: 7. Juli 2000 (07.07.2000) [DE/DE]; Priessnitzstr. 41, D-01099 Dresden (DE).  
WILLER, Josef [DE/DE]; Friedrich-Fröbel-Str. 62,  
D-85521 Riemerling (DE). SCHUMANN, Dirk [DE/DE];  
Theresienstr. 13, D-01097 Dresden (DE).  
(25) Einreichungssprache: Deutsch (74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedditz, Peter, Postfach 22 13 17, D-80503  
München (DE).  
(26) Veröffentlichungssprache: Deutsch  
(30) Angaben zur Priorität: 199 41 096.8 30. August 1999 (30.08.1999) DE (81) Bestimmungsstaaten (national): JP, KR, US.  
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von (84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.- BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,  
Martin-Str. 53, D-81541 München (DE). NL, PT, SE).

[Fortsetzung auf der nächsten Seite]

(54) Title: STORAGE CELL ARRAY AND A METHOD FOR THE MANUFACTURE THEREOF

(54) Bezeichnung: SPEICHERZELLENANORDNUNG UND VERFAHREN ZU DEREN HERSTELLUNG



(57) Abstract: The invention relates to a storage cell array with storage capacitors, each of which has a lower capacitor electrode (53), a capacitor dielectric (54) and an upper capacitor electrode (61) which are at least partially located in a trench. At least one of the capacitor electrodes (53, 61) is a metallic electrode, in particular made of tungsten-silicide. The storage cell array can be manufactured with a required space of  $8F^2$  per storage cell.

(57) Zusammenfassung: In einer Speicherzellenanordnung mit Speicherkondensatoren, die jeweils eine untere Kondensatorelektrode (53), ein Kondensatordielektrikum (54) und eine obere Kondensatorelektrode (61) aufweisen, die mindestens teilweise in einem Graben (45) angeordnet sind, ist mindestens eine der Kondensatorelektroden (53, 61) als metallische Elektrode, insbesondere aus Wolfram-Silizid ausgebildet. Die Speicherzellenanordnung ist mit einem Platzbedarf pro Speicherzelle von  $8F^2$  herstellbar.

WO 01/17014 A1



**Veröffentlicht:**

- *Mit internationalem Recherchenbericht.*
- *Vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen.*

*Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

## Beschreibung

## Speicherzellenanordnung und Verfahren zu deren Herstellung

- 5 In Speicherzellenanordnungen mit dynamischem, wahlfreiem Zugriff werden fast ausschließlich sogenannte Eintransistor-Speicherzellen eingesetzt. Eine Eintransistor-Speicherzelle umfaßt einen Auslesetransistor und einen Speicherkondensator. In dem Speicherkondensator ist die Information in Form einer elektrischen Ladung gespeichert, die eine logische Größe, 0 oder 1, darstellt. Durch Ansteuerung des Auslesetransistors über eine Wortleitung kann diese Information über eine Bitleitung ausgelesen werden. Zur sicheren Speicherung der Ladung und gleichzeitigen Unterscheidbarkeit der ausgelesenen Information muß der Speicherkondensator eine Mindestkapazität aufweisen. Die untere Grenze für die Kapazität des Speicherkondensators wird derzeit bei 25 fF gesehen.

- 20 Da von Speichergeneration zu Speichergeneration die Speicherdichte zunimmt, muß die benötigte Fläche der Eintransistor-Speicherzelle von Generation zu Generation reduziert werden. Gleichzeitig muß die Mindestkapazität des Speicherkondensators erhalten bleiben.

- 25 Bis zur ein MBit-Generation wurden sowohl der Auslesetransistor als auch der Speicherkondensator als planare Bauelemente realisiert. Ab der 4 MBit-Speichergeneration wurde eine weitere Flächenreduzierung der Speicherzelle durch eine dreidimensionale Anordnung von Auslesetransistor und Speicherkondensator erzielt. Eine Möglichkeit besteht darin, den Speicherkondensator in einem Graben zu realisieren (siehe z. B. K. Yamada et al, Proc. Intern. Electronic Devices and Materials IEDM 85, S. 702 ff). Als Elektroden des Speicherkondensators wirken in diesem Fall ein an die Wand des Grabens angrenzendes Diffusionsgebiet sowie eine dotierte Polysiliziumfüllung, die sich im Graben befindet. Die Elektroden des Speicherkondensators sind somit entlang der Oberfläche des

Grabens angeordnet. Dadurch wird die effektive Fläche des Speicherkondensators, von der die Kapazität abhängt, gegenüber dem Platzbedarf für den Speicherkondensator an der Oberfläche des Substrats, der dem Querschnitt des Grabens entspricht, vergrößert. Durch Reduktion des Querschnitts des Grabens läßt sich die Packungsdichte weiter erhöhen. Der Vergrößerung der Tiefe des Grabens sind dabei aus technologischen Gründen jedoch Grenzen gesetzt.

- 10 Der Erfindung liegt das Problem zugrunde, eine Speicherzellenanordnung mit Speicherzellen, die jeweils einen Speicherkondensator und einen Auswahltransistor aufweisen, anzugeben, bei der der Speicherkondensator an einem Graben angeordnet ist und bei gleichbleibender Querschnittsfläche und Tiefe des Grabens im Vergleich zum Stand der Technik eine vergrößerte Kapazität aufweist. Ferner soll ein Verfahren zur Herstellung einer derartigen Speicherzellenanordnung angegeben werden.

20 Diese Aufgabe wird gelöst durch eine Speicherzellenanordnung gemäß Anspruch 1 sowie ein Verfahren zu deren Herstellung gemäß Anspruch 7. Weitere Ausgestaltungen der Erfindung gehen aus den übrigen Ansprüchen hervor.

- 25 In der erfindungsgemäßen Speicherzellenanordnung weisen die Speicherzellen jeweils einen Speicherkondensator und einen Auswahltransistor auf. Der Speicherkondensator umfaßt eine untere Kondensatorelektrode, ein Kondensatordielektrikum und eine obere Kondensatorelektrode, die mindestens teilweise in einem Graben angeordnet sind. Dabei grenzt die untere Kondensatorelektrode an eine Wand des Grabens an. Mindestens eine der Kondensatorelektroden ist dabei als metallische Elektrode ausgebildet. Dadurch wird die Ausbildung einer Verarmungszone in der als metallische Elektrode ausgebildeten Kondensatorelektrode vermieden, was zu einer Erhöhung der spezifischen Kapazität führt. Diese Maßnahme hat darüber hinaus den Vorteil, daß der Elektrodenwiderstand der als metallischer Elektrode ausgebildeten Kondensatorelektrode reduziert wird.

Vorzugsweise wird die metallische Elektrode aus Wolfram-Silizid, Wolfram, Wolfram-Nitrid, Ruthenium oder Ruthenium-Oxid gebildet, da diese Metalle durch eine CVD-Abscheidung in den Graben eingebracht werden können. Ferner kann die metallische Elektrode auch aus Iridium oder Iridium-Oxid gebildet werden.

Es kann sowohl die untere Kondensatorelektrode als auch die obere Kondensatorelektrode oder beide Kondensatorelektroden als metallische Elektrode ausgebildet werden.

Ist nur die untere Kondensatorelektrode als metallische Elektrode ausgebildet, so liegt es im Rahmen der Erfindung, daß die obere Kondensatorelektrode dotiertes Polysilicium enthält.

Ist nur die obere Kondensatorelektrode als metallische Elektrode ausgebildet, so liegt es im Rahmen der Erfindung, daß die untere Kondensatorelektrode als an den Graben angrenzendes Diffusionsgebiet ausgebildet ist.

Eine weitere Flächenvergrößerung läßt sich dadurch erzielen, daß sich der Graben von einer Hauptfläche eines Halbleitersubstrats in das Halbleitersubstrat hinein erstreckt und der Graben im Bereich der Hauptfläche parallel zur Hauptfläche einen kleineren Querschnitt als in einem der Hauptfläche abgewandten Bereich des Grabens aufweist. Bei dieser Ausgestaltung werden darüber hinaus Hohlräume beim Auffüllen des Grabens vermieden.

Die Speicherzellenanordnung hat den Vorteil, daß sie nur geringfügige Modifikationen an einem konventionellen Prozeßschema zu ihrer Herstellung erfordert.

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen, die in den Figuren dargestellt sind, näher erläutert.

5    Figur 1 bis Figur 7 zeigt Schritte zur Herstellung einer Speicherzellenanordnung, bei der eine obere Kondensatorelektrode als Metallelektrode ausgebildet ist.

10    Figur 8 und Figur 9 zeigen Herstellschritte für eine Variante der Speicherzellenanordnung, bei der die obere Kondensatorelektrode als metallische Elektrode ausgebildet ist.

15    Figur 10 bis 13 zeigt Herstellschritte zur Bildung eines Auswahltransistors.

Figur 14 zeigt ein Layout in einer  $8F^2$ -Zellenarchitektur.

20    Figur 15 bis Figur 21 zeigen Schritte zur Herstellung eines Speicherkondensators, bei dem die untere Kondensatorelektrode als metallische Elektrode ausgebildet ist.

25    Figur 22 und 23 zeigen Schritte zur Herstellung eines Speicherkondensators, bei dem die untere und die obere Kondensatorelektrode als Metallelektrode ausgebildet sind.

Figur 24 bis Figur 27 zeigt Herstellschritte für einen Auswahltransistor.

30    Auf eine Hauptfläche 1 eines Halbleitersubstrats 2 werden eine 8 nm dicke  $\text{SiO}_2$  (Oxid)-Schicht 3 und eine 220 nm dicke  $\text{Si}_3\text{N}_4$ -Schicht 4 aufgebracht. Darauf wird eine 620 nm dicke BPSG-Schicht (nicht dargestellt) aufgebracht.

35    Unter Verwendung einer fotolithographisch erzeugten Maske (nicht dargestellt) werden die BPSG-Schicht, die  $\text{Si}_3\text{N}_4$ -

## 5

Schicht 4 und die  $\text{SiO}_2$ -Schicht 3 in einem Plasma-Ätz-Prozeß mit  $\text{CF}_4/\text{CHF}_3$  strukturiert, so daß eine Hartmaske gebildet wird. Unter Verwendung dieser Hartmaske als Ätzmaske werden in einem weiteren Plasma-Ätz-Prozeß mit  $\text{HBr}/\text{NF}_3$  Gräben 5 in die Hauptfläche 1 geätzt. Nachfolgend wird durch eine nasse Ätzung mit  $\text{H}_2\text{SO}_4/\text{HF}$  die BPSG-Schicht entfernt.

Die Gräben 5 weisen eine Tiefe von 7  $\mu\text{m}$ , eine Weite von 100 x 250 nm und einen gegenseitigen Anstand von 100 nm auf.

10

Durch thermische Oxidation wird nachfolgend eine 10 nm dicke  $\text{SiO}_2$ -Schicht 6 erzeugt, die mindestens die Wände der Gräben 5 bedeckt. Durch Abscheidung einer 70 nm dicken Polysiliziumschicht, chemisch-mechanisches Polieren bis zur Oberfläche der  $\text{Si}_3\text{N}_4$ -Schicht 4 und Zurückätzen der Polysiliziumschicht mit  $\text{SF}_6$  wird in den Gräben 5 jeweils eine Polysiliziumfüllung 7 erzeugt, deren Oberfläche 1100 nm unterhalb der Hauptfläche 1 angeordnet ist. Das chemisch-mechanische Polieren kann dabei gegebenenfalls entfallen. Durch thermische Oxidation wird an der Oberfläche der Polysiliziumfüllung 7 eine 10 nm dicke  $\text{SiO}_2$ -Schicht 8 gebildet.

Nachfolgend wird in einem CVD-Verfahren eine 10 nm dicke  $\text{Si}_3\text{N}_4$ -Schicht abgeschieden und in einem anisotropen Plasmaätzprozeß selektiv zu  $\text{SiO}_2$  mit  $\text{CHF}_3$  geätzt. Dabei entstehen oberhalb der Polysiliziumfüllung 7 an den Flanken der Gräben 5  $\text{Si}_3\text{N}_4$ -Spacer 9.

In einem naßchemischen Ätzschritt mit  $\text{NH}_4\text{F}/\text{HF}$ , der  $\text{SiO}_2$  selektiv zu  $\text{Si}_3\text{N}_4$  und Silizium angreift wird die  $\text{SiO}_2$ -Schicht 8 entfernt. Die Ätzzeit wird so bemessen, daß etwa 25 nm  $\text{SiO}_2$  entfernt werden. Dadurch entstehen an der Oberfläche der Polysiliziumfüllung 7 Unterätzungen, in denen die an das Halbleitersubstrat 2 angrenzenden Seitenwände der Gräben 5 freigelegt werden. (siehe Figur 2). Durch CVD-Abscheidung von  $\text{Si}_3\text{N}_4$  in einer Schichtdicke von 5 nm und anschließendes anisotropes Ätzen mit  $\text{CHF}_3$  werden diese Unterätzungen mit  $\text{Si}_3\text{N}_4$ -

6

Füllungen 10 aufgefüllt. Die Ätzdauer für diesen anisotropen Ätzschritt wird so bemessen, daß 5 nm  $\text{Si}_3\text{N}_4$  weggeätzt werden.

Mit  $\text{SF}_6$  wird nachfolgend Polysilizium selektiv zu  $\text{Si}_3\text{N}_4$  und  $\text{SiO}_2$  geätzt. Dabei wird die Polysiliziumfüllung 7 jeweils aus dem Graben 5 entfernt. Durch eine Ätzung mit  $\text{NH}_4\text{F}/\text{HF}$  wird der freiliegende Teil der  $\text{SiO}_2$ -Schicht 6 entfernt. Die Ätzdauer wird so bemessen, daß 10 nm  $\text{SiO}_2$  geätzt werden. Nachfolgend wird ein isotroper Ätzschritt mit Ammoniak durchgeführt, bei dem Silizium selektiv zu Nitrid geätzt wird. Die Ätzdauer wird so bemessen, daß 20 nm Silizium geätzt werden. Dabei wird der Querschnitt der Gräben 5 im unteren Bereich der Gräben 5, d. h. in dem der Hauptfläche 1 abgewandten Bereich, um 40 nm aufgeweitet (siehe Figur 3).

Durch Abscheidung einer Arsen-dotierten Silikatglasschicht in einer Schichtdicke von 50 nm und einer TEOS- $\text{SiO}_2$ -Schicht in einer Dicke von 20 nm und einen anschließenden Tempersschritt bei 1000 Grad Celsius, 120 Sekunden wird durch Ausdiffusion aus der Arsen-dotierten Silikatglasschicht in dem Halbleitersubstrat 2 ein  $\text{n}^+$ -dotiertes Gebiet 11, das in der fertigen Speicherzellenanordnung als untere Kondensatorelektrode eines einzelnen Kondensators wirkt, gebildet. Über das  $\text{n}^+$ -dotierte Gebiet 11 werden die unteren Kondensatorelektroden benachbarter Kondensatoren miteinander verbunden. Alternativ kann auch eine Gasphasendotierung durchgeführt werden, zum Beispiel mit folgenden Parametern: 900°C, 3 Torr Tributylarsin (TBA) [33 Prozent], 12 min.

Bei der Ausdiffusion aus der Arsen-dotierten Silikatglasschicht wirken die  $\text{Si}_3\text{N}_4$ -Füllung 10 und die  $\text{Si}_3\text{N}_4$ -Spacer 9 als Diffusionsbarriere, so daß das  $\text{n}^+$ -dotierte Gebiet 11 etwa 1000 nm unterhalb der Hauptfläche 1 begrenzt ist.

In einem zu  $\text{Si}_3\text{N}_4$  und Silizium selektiven Ätzschritt mit  $\text{NH}_4\text{F}/\text{HF}$  werden die Arsen-dotierte Silikatglasschicht und die TEOS- $\text{SiO}_2$ -Schicht entfernt.



In einem Ätzschritt mit HF/Ethylenglycol, in dem  $\text{Si}_3\text{N}_4$  selektiv zu  $\text{SiO}_2$  Silizium angegriffen wird und dessen Ätzdauer so bemessen wird, daß 15 nm  $\text{Si}_3\text{N}_4$  geätzt werden, werden die  
5  $\text{Si}_3\text{N}_4$ -Füllung 10 und die  $\text{Si}_3\text{N}_4$ -Spacer 9 entfernt (siehe Figur 4). Nachfolgend wird eine 5 nm dicke dielektrische Schicht 12 abgeschieden, die  $\text{SiO}_2$  und  $\text{Si}_3\text{N}_4$  enthält. Alternativ enthält die dielektrische Schicht 12  $\text{Al}_2\text{O}_3$  (Aluminium-Oxid),  $\text{TiO}_2$  (Titan-Oxid),  $\text{Ta}_2\text{O}_5$  (Tantal-Oxid). Durch CVD-Abscheidung wird  
10 eine 30 nm dicke Wolfram-Silizid-Schicht 13 abgeschieden (siehe Figur 4).

Der verbliebene Freiraum in den Gräben 5 wird mit Fotolack 14 gefüllt und mit  $\text{N}_2/\text{O}_2$  zurückgeätzt. Durch anisotropes Ätzen  
15 mit  $\text{HCl}/\text{Cl}_2/\text{NF}_3$  in einem Plasma-unterstützten Ätzprozeß wird Wolfram-Silizid anschließend selektiv zu  $\text{Si}_3\text{N}_4$  und der dielektrischen Schicht 12 geätzt. Dabei entsteht eine obere Kondensatorelektrode 15 aus Wolfram-Silizid (siehe Figur 5).

20 Nach Entfernen der Fotolackfüllung 14 in einem Ätzprozeß mit  $\text{O}_2/\text{N}_2$  wird verbliebener Freiraum in den Gräben 5 durch Abscheidung einer 70 nm dicken Polysiliziumschicht und chemisch-mechanisches Polieren bis auf die Oberfläche der  $\text{Si}_3\text{N}_4$ -Schicht 4 mit einer Polysiliziumfüllung 16 versehen (siehe  
25 Figur 6).

In einem Ätzschritt mit  $\text{SF}_6$  wird die Polysiliziumfüllung 16 um 100 nm unter die Hauptfläche 1 zurückgeätzt. Es folgt ein  $\text{Si}_3\text{N}_4$  angreifender Ätzschritt mit HF/Ethylenglycol, bei dem  
30 Nitrid geätzt wird. Mit Hilfe von  $\text{NH}_4\text{F}/\text{HF}$  werden freiliegende Teile der dielektrischen Schicht 12 und der  $\text{SiO}_2$ -Schicht 6 entfernt (siehe Figur 7). Nach einer thermischen Oxidation (Sacrificial oxidation) folgt eine Implantation mit Phosphor mit einer Dosis von  $2 \times 10^{13} \text{ cm}^{-2}$  und einer Energie von 10  
35 keV zur Bildung eines  $\text{n}^+$ -dotierten Gebietes 17, das im oberen Bereich des Grabens 5 an die Hauptfläche 1 angrenzt. Die Tiefe des  $\text{n}^+$ -dotierten Gebietes 17 ist so bemessen, daß zwischen

dem n<sup>+</sup>-dotierten Gebiet 17 und dem n<sup>+</sup>-dotierten Gebiet 11 die Grunddotierung des Halbleitersubstrats 2 an die Oberfläche des Grabens 5 angrenzt (siehe Figur 7). Nachfolgend wird das vor der Implantation erzeugte SiO<sub>2</sub> wieder entfernt. Durch Abscheidung von Polysilizium und anisotropes Ätzen mit SF<sub>6</sub> wird  
5 der Graben 5 mit einer Polysiliziumfüllung 18 im wesentlichen aufgefüllt.

Die Polysiliziumfüllungen 16, 18 werden bei der Abscheidung  
10 insitu-dotiert mit Arsen. Dadurch wirken die Polysiliziumfüllungen 16, 18 als Anschlußstruktur zwischen der oberen Kondensatorelektrode 15 und dem n<sup>+</sup>-dotierten Gebiet 17. Das n<sup>+</sup>-dotierte Gebiet 17 wird im weiteren Herstellungsverfahren mit einem Source-/Drain-Gebiet eines Auswahltransistors verbunden.  
15

Alternativ zu dem anhand von Figur 7 geschilderten Prozeßverlauf kann im Hinblick auf einen niederomigen Anschluß der oberen Kondensatorelektrode 15 zunächst eine 20 nm dicke  
20 Wolfram-Silizid-Schicht 15' und darauf eine 50 nm dicke Polysiliziumschicht 16' auf die Struktur, wie sie in Figur 6 dargestellt ist, abgeschieden werden (siehe Figur 8).

Durch chemisch-mechanisches Polieren von Polysilizium und  
25 Wolfram-Silizid bis auf die Oberfläche der Si<sub>3</sub>N<sub>4</sub>-Schicht 4 und anschließendes Ätzen mit HCl/Cl<sub>2</sub>/NF<sub>3</sub>, bei dem die Ätzrate von SiO<sub>2</sub> und Polysilizium höher als diejenige von Wolfram-Silizid ist, werden die Wolfram-Silizid-Schicht 15', die Polysiliziumschicht 16', die SiO<sub>2</sub>-Schicht 6 und die dielektrische  
30 Schicht 12 100 nm unter die Hauptfläche 1 zurückgeätzt. Dadurch entsteht eine obere Kondensatorelektrode 15'', die über die Höhe des n<sup>+</sup>-dotierten Gebietes 11 hinausragt und eine Polysiliziumfüllung 16'', die verbliebenen Freiraum des Grabens 5 innerhalb der oberen Kondensatorelektrode 15'' auffüllt  
35 (siehe Figur 9).

Analog wie anhand von Figur 7 geschildert folgt eine  $\text{Si}_3\text{N}_4$ -Ätzung um 10 nm mit HF/Ethylenglycol, eine isotrope Ätzung von dielektrischem Material um 5 nm, eine Sacrificial oxidation und eine gewinkelte Implantation mit Phosphor, um das  
5  $n^+$ -dotierte Gebiet 17 zu bilden. Nach Entfernen der vor der Implantation gebildeten Oxidschicht mit DHF (verdünnte Flußsäure), wird durch Abscheidung von 80 nm Polysilizium und chemisch-mechanisches Polieren bis auf die Oberfläche der  $\text{Si}_3\text{N}_4$ -Schicht 4 die Polysiliziumfüllung 18 gebildet.

10

Mit Hilfe einer fotolithographisch erzeugten Maske (nicht dargestellt) und Implantation mit Phosphor mit 1.3 MeV und  $10^{13} \text{ cm}^{-2}$  wird eine n-dotierte Wanne 19 gebildet (siehe Figur 9).

15

Durch Ätzung mit  $\text{SF}_6$  wird die Polysiliziumfüllung 18 bis zur Hauptfläche 1 geätzt.

Zur Definition aktiver Gebiete werden nachfolgend Isolationsstrukturen 20 erzeugt, die aktive Gebiete seitlich begrenzen  
20 (siehe Figur 10). Dazu wird eine fotolithographisch erzeugte Maske (nicht dargestellt) gebildet, die die aktiven Gebiete bedeckt. Es folgt ein nicht-selektiver Ätzschritt mit  $\text{CHF}_3/\text{N}_2/\text{NF}_3$ , bei dem Silizium, Wolfram-Silizid,  $\text{SiO}_2$  und Polysilizium geätzt wird. Die Ätzdauer wird dabei so eingestellt,  
25 daß 200 nm Polysilizium geätzt werden. Nach Entfernen der Fotolackmaske mit  $\text{O}_2/\text{N}_2$  und naß-chemischem Ätzen der dielektrischen Schicht 12 in einer Tiefe von 3 nm wird eine Oxidation durchgeführt und 5 nm  $\text{Si}_3\text{N}_4$  abgeschieden. Es folgt eine TEOS-Abscheidung von  $\text{SiO}_2$  in einer Dicke von 250 nm. Durch che-  
30 misch-mechanisches Polieren bis auf die Oberfläche der  $\text{Si}_3\text{N}_4$ -Schicht 4, einen Ätzschritt in heißer  $\text{H}_3\text{PO}_4$ , der  $\text{Si}_3\text{N}_4$  angreift, und einen Ätzschritt mit DHF, der  $\text{SiO}_2$  angreift, werden die Isolationsstruktur 20 fertiggestellt und die  $\text{Si}_3\text{N}_4$ -  
35 Schicht 4 sowie die  $\text{SiO}_2$ -Schicht 3 entfernt (siehe Figur 10).

Durch thermische Oxidation wird ganzflächig ein 10 nm - dickes Streuoxid (nicht dargestellt) gebildet. Mit Hilfe fotolithographisch erzeugter Masken (nicht dargestellt) und Implantationsschritten werden nachfolgend n-dotierte Wanne, p-dotierte Wannen und Einsatzspannungsimplantationen für eine Peripherie und für Auswahltransistoren der Speicherzellenanordnung erzeugt. Es wird insbesondere eine p-dotierte Wanne 21 gebildet, die oberhalb der n-dotierten Wanne 19 angeordnet ist und deren Tiefe größer ist als die Tiefe des n-dotierten Gebietes 17 und kleiner als die Tiefe der n-dotierten Wanne 19 (siehe Figur 11). Die p-dotierte Wanne 21 weist eine Dotierstoffkonzentration von  $5 \times 10^{17} \text{ cm}^{-3}$  auf.

Nach Entfernen des Streuoxids mit DHF wird durch thermische Oxidation ein Gate-Oxid 22 in einer Dicke von 6 nm gebildet. Darauf wird durch integrierte Abscheidung eine Polysiliziumschicht 23 und eine Wolfram-Silizid-Schicht 24 gebildet. Unter integrierter Abscheidung wird in der Fachwelt eine Abscheidung von mehreren Schichten in einer Anlage verstanden, wobei die Siliziumscheibe zwischen den Abscheideschritten nicht der Atmosphäre ausgesetzt wird. Die Polysiliziumschicht 23 wird in einer Dicke von 80 nm und die Wolfram-Silizid-Schicht 24 in einer Dicke von 60 nm gebildet (siehe Figur 11).

Nach Abscheidung einer  $\text{Si}_3\text{N}_4$ -Schicht 25 in einer Dicke von 200 nm wird fotolithographisch eine Maske erzeugt, die den Verlauf von streifenförmigen, untereinander parallel verlaufenden Word-Leitungen WL definiert, die Gate-Elektroden enthalten. Unter Verwendung dieser Maske (nicht dargestellt) als Ätzmaske wird durch Plasmaätzen mit  $\text{CHF}_3/\text{O}_2/\text{CF}_4$  die  $\text{Si}_3\text{N}_4$ -Schicht 25 geätzt. Anschließend wird eine Gate-Elektrode 26 durch Ätzen der Wolfram-Silizid-Schicht 24 mit  $\text{HCl}/\text{Cl}_2/\text{NF}_3$  und der Polysiliziumschicht 23 mit  $\text{HCl}/\text{Cl}_2$  gebildet. Es folgt eine Oxidation, bei der die Seitenwände der Gate-Elektroden 26 mit einer  $\text{SiO}_2$ -Schicht 27 versehen werden (siehe Figur 12). Unter Verwendung einer fotolithographisch erzeugten Mas-

ke (nicht dargestellt) und Implantationsschritten werden Source-/Drain-Gebiete 28 für Auswahltransistoren erzeugt. Die Implantation erfolgt mit Phosphor mit einer Energie von 25 keV und einer Dosis von  $3 \times 10^{13} \text{ cm}^{-2}$ .

5

Durch Abscheidung einer  $\text{Si}_3\text{N}_4$ -Schicht mit einer Schichtdicke von 35 nm und anisotropes Ätzen mit  $\text{CHF}_3$  werden an den Flanken der Gate-Elektroden 26 und der  $\text{Si}_3\text{N}_4$ -Schicht 25  $\text{Si}_3\text{N}_4$ -Spacer 29 erzeugt.

10

Nachfolgend wird ganzflächig eine Oxinitrid-Schicht 30 in einer Schichtdicke von 23 nm abgeschieden. Darauf folgt die Abscheidung einer BPSG-Schicht 31 in einer Dicke von 550 nm. In einem Tempersschritt bei  $850^\circ\text{C}$  wird die BPSG-Schicht 31 ver-  
15 flossen. Durch chemisch-mechanisches Polieren, bei dem die Oxinitridschicht 30 als Ätzstop wirkt, wird eine planare Oberfläche erzeugt (siehe Figur 12).

Es wird ganzflächig durch TEOS-Abscheidung eine  $\text{SiO}_2$ -Schicht  
20 32 in einer Schichtdicke von 450 nm gebildet (siehe Figur 13). In der  $\text{SiO}_2$ -Schicht 32 und der BPSG-Schicht 31 werden Kontaktlöcher 33 zu Source-/Drain-Gebieten 28 geöffnet. Die Kontaktlöcher 33 werden jeweils zu dem Source-/Drain-Gebiet eines Auswahltransistors geöffnet, das nicht mit dem  $\text{n}^+$ -  
25 dotierten Gebiet 17 in Kontakt steht. Zur Öffnung der Kontaktlöcher 33 wird eine fotolithographisch erzeugte Maske (nicht dargestellt) verwendet. Die Ätzung erfolgt mit  $\text{O}_2/\text{C}_4\text{F}_8/\text{CO}$ . Dabei wirkt die Oxinitridschicht 30 als Ätzstop. Zur Fertigstellung der Kontaktlöcher 33 wird die Oxinitrid-  
30 schicht 30 mit  $\text{O}_2/\text{CHF}_3$  entfernt.

Die Kontaktlöcher 33 werden durch insitu-dotierte Abscheidung von Polysilizium und Rückätzen des Polysiliziums mit  $\text{CF}_4/\text{SF}_6$  mit Polysiliziumfüllungen 34 versehen (siehe Figur 13). Mit  
35 Hilfe einer fotolithographisch erzeugten Maske (nicht dargestellt), die das Zellenfeld der Speicherzellenanordnung abdeckt, wird im Bereich der Peripherie die  $\text{SiO}_2$ -Schicht 32

durch Ätzen mit  $\text{CF}_4/\text{CHF}_3$  entfernt und es wird eine HDD-Implantation für Transistoren der Peripherie durchgeführt.

Nach Bildung einer fotolithographisch erzeugten Maske, die  
5 den Verlauf von streifenförmigen Bitleitungen BL, die untereinander parallel verlaufen und die bezüglich der Wortleitungen WL senkrecht verlaufen, erfolgt eine Ätzung in die  $\text{SiO}_2$ -Schicht 32 mit  $\text{CF}_4/\text{CHF}_3$ . Nach Entfernen der Maske mit  $\text{O}_2/\text{N}_2$  werden die Bitleitungen durch Abscheidung von Titan und Wolfram und anschließendes chemisch-mechanisches Polieren erzeugt.  
10

Zur Fertigstellung der Speicherzellenanordnung werden in bekannter Weise Verdrahtungsebenen gebildet.  
15

Die Speicherzellenanordnung weist je Speicherzelle einen in einem der Gräben 5 angeordneten Speicherkondensator und einen planaren Auswahltransistor auf. Pro Speicherzelle ist ein Platzbedarf von  $8F^2$  erforderlich, wobei F die kleinste herstellbare Strukturgröße in der jeweiligen Technologie ist. In  
20 Figur 14 ist das Layout der Speicherzellenanordnung dargestellt. Die Bitleitungen BL verlaufen streifenförmig und parallel zu einander, wobei die Breite der Bitleitungen BL jeweils F und ihr gegenseitiger Abstand ebenfalls F beträgt.  
25 Senkrecht dazu verlaufen die Wortleitungen WL, die ebenfalls eine Breite von F und einen gegenseitigen Abstand von F aufweisen. Unterhalb der Bitleitungen BL sind aktive Gebiete A angeordnet, wobei oberhalb jedes aktiven Gebietes zwei Wortleitungen WL kreuzen. Die aktiven Gebiete A sind unterhalb  
30 benachbarter Bitleitungen BL jeweils versetzt gegeneinander angeordnet. In der Mitte der aktiven Gebiete A ist ein Bitleitungskontakt BLK angeordnet, der eine elektrische Verbindung zwischen der jeweiligen Bitleitung BL und dem aktiven Gebiet A ermöglicht. Die Gräben 5 sind unterhalb der Wortleitungen WL angeordnet. Die Aufweitung der Gräben 5 im unteren  
35 Bereich ist als gepunktete Kontur eingetragen und mit dem Bezugszeichen 5' versehen. Am Kreuzungspunkt zwischen einer der

Bitleitungen BL und einer der Wortleitungen WL ist jeweils die Gateelektrode 26 des zugehörigen Auswahltransistors angeordnet (siehe Figur 14).

- 5 Die aktiven Gebiete A erstrecken sich jeweils zwischen zwei Gräben 5. Sie umfassen zwei Auswahltransistoren, die über einen gemeinsamen Bitleitungskontakt BLK mit der zugehörigen Bitleitung BL verbunden sind. Je nach dem, welche der Wortleitungen WL angesteuert wird, wird die Information aus dem  
10 Speicherkondensator der in dem einen der Gräben 5 angeordnet ist oder dem anderen der Gräben 5 angeordnet ist, ausgelesen.

- Gemäß einer weiteren Ausgestaltung der Erfindung wird auf einer Hauptfläche 41 eines Halbleitersubstrats 42 aus monokristallinem Silizium eine  $\text{SiO}_2$ -Schicht 43 in einer Dicke von 8  
15 nm und eine  $\text{Si}_3\text{N}_4$ -Schicht 44 in einer Dicke von 220 nm aufgebracht. Darauf wird eine BPSG-Schicht in einer Dicke von 620 nm abgeschieden (nicht dargestellt). Mit Hilfe einer fotolithographisch strukturierten Maske (nicht dargestellt), die  
20 die Anordnung von Speicherkondensatoren definiert, wird durch Plasmaätzen mit  $\text{CF}_4/\text{CHF}_3$  die BPSG-Schicht, die  $\text{Si}_3\text{N}_4$ -Schicht 44 und die  $\text{SiO}_2$ -Schicht 43 strukturiert. Nach Entfernen der Maske mit  $\text{O}_2/\text{N}_2$  wird unter Verwendung der BPSG-Schicht als Hartmaske durch Plasmaätzen mit  $\text{HBr}/\text{NF}_3$  je Speicherzelle ein  
25 Graben 45 gebildet. Der Graben 45 weist eine Tiefe von 7  $\mu\text{m}$  und eine Weite von 100 nm x 250 nm auf (siehe Figur 15).

- Durch naßchemisches Ätzen mit  $\text{H}_2\text{SO}_4/\text{HF}$  wird die BPSG-Schicht entfernt. Durch thermische Oxidation wird eine  $\text{SiO}_2$ -Schicht  
30 46 in einer Schichtdicke von 10 nm gebildet, die mindestens die Wände der Gräben 45 bedeckt.

- Es folgt die Abscheidung einer 70 nm dicken Polysiliziumschicht, aus der durch chemisch-mechanisches Polieren bis auf  
35 die Oberfläche der  $\text{Si}_3\text{N}_4$ -Schicht 44 und Ätzen mit  $\text{SF}_6$  eine Polysiliziumfüllung 47 gebildet wird, die 1100 nm unterhalb der Hauptfläche 41 angeordnet ist. An der Oberfläche der Polysi-

lizienschicht 47 wird durch Oxidation eine 10 nm dicke  $\text{SiO}_2$ -Schicht 48 gebildet.

5 Durch CVD-Abscheidung einer 10 nm dicken  $\text{Si}_3\text{N}_4$ -Schicht und anisotropes Plasmaätzen mit  $\text{CHF}_3$ , wobei  $\text{Si}_3\text{N}_4$  selektiv zu  $\text{SiO}_2$  geätzt wird, werden oberhalb der Polysiliziumfüllung 47  $\text{Si}_3\text{N}_4$ -Spacer 49 erzeugt (siehe Figur 15).

10 Durch naßchemisches Ätzen von  $\text{SiO}_2$  selektiv zu  $\text{Si}_3\text{N}_4$  und Silizium mit  $\text{NH}_4\text{F}/\text{HF}$  werden die  $\text{SiO}_2$ -Schicht 48 und dabei freigelegte Teile der  $\text{SiO}_2$ -Schicht 46 entfernt. Die Ätzdauer wird so eingestellt, daß 25 nm  $\text{SiO}_2$  geätzt werden. Durch CVD-Abscheidung einer 5 nm  $\text{Si}_3\text{N}_4$ -Schicht und anisotropes Ätzen mit  $\text{CHF}_3$ , wobei die Ätzdauer so eingestellt wird, daß 5 nm  
15  $\text{Si}_3\text{N}_4$  geätzt werden, werden bei der naßchemischen Oxidätzung entstandene Unterätzungen mit einer  $\text{Si}_3\text{N}_4$ -Füllung 50 aufgefüllt (siehe Figur 16).

20 Mit Hilfe von  $\text{SF}_6$  wird nachfolgend die Polysiliziumfüllung 47 selektiv zu  $\text{Si}_3\text{N}_4$  und  $\text{SiO}_2$  entfernt. Durch naßchemisches Ätzen mit  $\text{NH}_4\text{F}/\text{HF}$  wird der freiliegende Teil der  $\text{SiO}_2$ -Schicht 46 entfernt. Durch isotropes Ätzen mit Ammoniak, wobei Silizium selektiv zu  $\text{Si}_3\text{N}_4$  angegriffen wird, wird der Querschnitt der Gräben 45 unterhalb der  $\text{Si}_3\text{N}_4$ -Spacer 49 und der  $\text{Si}_3\text{N}_4$ -Füllung  
25 50 aufgeweitet. Die Ätzdauer wird so eingestellt, daß 20 nm Silizium geätzt werden. Das bedeutet, daß der Querschnitt des jeweiligen Grabens 45 um 40 nm aufgeweitet wird (siehe Figur 17).

30 Durch naßchemisches Ätzen mit  $\text{HF}$ /Ethylenglycol werden die  $\text{Si}_3\text{N}_4$ -Spacer 49 und die  $\text{Si}_3\text{N}_4$ -Füllung 50 selektiv zu  $\text{SiO}_2$  und Silizium entfernt. Die Ätzdauer wird so eingestellt, daß 15 nm  $\text{Si}_3\text{N}_4$  geätzt werden. Durch insitu-dotierte Abscheidung von Wolfram-Silizid wird eine 30 nm dicke, Arsen-dotierte Wolfram-Silizid-Schicht 51 erzeugt (siehe Figur 18).  
35



Durch Abscheiden eines Fotolacks werden die Gräben 45 im unteren Bereich, indem der Querschnitt der Gräben 45 durch die isotrope Siliziumätzung aufgeweitet wurde, mit einer Lackfüllung 52 versehen. Die Höhe der Lackfüllung 52 wird über eine Ätzung mit  $N_2/O_2$  eingestellt. Durch eine anisotrope Ätzung mit  $HCl/Cl_2/NF_3$ , bei der Wolfram-Silizid selektiv zu  $Si_3N_4$  und  $SiO_2$  geätzt wird, werden in den Gräben 45 durch Strukturierung der Wolframsilizid-Schicht 51 jeweils untere Kondensatorelektroden 53 gebildet. Die unteren Kondensatorelektroden 53 sind jeweils entlang der Oberfläche des jeweiligen Grabens 45 im Bereich der Aufweitung angeordnet. Teile der Arsen-dotierten Wolfram-Silizid-Schicht 51, die oberhalb des aufgeweiteten Querschnitts des jeweiligen Grabens 55 angeordnet sind oder die an der Oberfläche der Siliziumnitrid-Schicht 44 angeordnet sind, werden dabei entfernt (siehe Figur 19). Nachfolgend wird die Lackfüllung 52 mit  $O_2/N_2$  entfernt.

Es folgt die Abscheidung einer dielektrischen Schicht 54 in einer Schichtdicke von 5 nm. Die dielektrische Schicht 54 enthält  $SiO_2$  und  $Si_3N_4$  oder die im Zusammenhang mit dem ersten Ausführungsbeispiel aufgeführten alternativen Dielektrika und dient in der fertigen Speicherzellenanordnung als Kondensatordielektrikum. Durch Abscheidung einer 70 nm dicken insitu-dotierten Polysiliziumschicht, einen Tempersschritt bei 1100 Grad Celsius, 60 Sekunden und chemisch-mechanisches Polieren der Polysiliziumschicht bis auf die Oberfläche der  $Si_3N_4$ -Schicht 44 werden durch Ausdiffusion aus der unteren Kondensatorelektrode 53 ein  $n^+$ -dotiertes Gebiet 55, das benachbarte untere Kondensatorelektroden 53 miteinander verbindet, und durch Strukturierung der Polysiliziumschicht eine Polysiliziumfüllung 56 gebildet (siehe Figur 20).

Durch Ätzung mit  $SF_6$  wird die Polysiliziumfüllung 56 um 100 nm unter die Hauptfläche 41 zurückgeätzt. Es folgt eine  $Si_3N_4$ -Ätzung mit  $HF$ /Ethylenglycol, bei der 10 nm  $Si_3N_4$  geätzt werden und eine Ätzung mit  $NH_4F/HF$ , mit der  $SiO_2$  und dielektrisches Material geätzt werden. Nach einer Sacrificial oxidati-

on zur Bildung eines Streuoxids (nicht dargestellt) wird eine Implantation durchgeführt, bei der ein n<sup>+</sup>-dotiertes Gebiet 57 in der Seitenwand jedes Grabens 45 im Bereich der Hauptfläche 41 gebildet wird (siehe Figur 21). Oberhalb der Polysiliziumfüllung 56 verbliebener Freiraum in dem jeweiligen Graben 45 wird durch Abscheidung von insitu-dotiertem Polysilizium und Rückätzen des Polysiliziums mit SF<sub>6</sub> mit einer Polysiliziumfüllung 58 aufgefüllt. Die Polysiliziumfüllung 56 wirkt im fertigen Speicherkondensator als obere Kondensatorelektrode. Die Polysiliziumfüllung 58 wirkt als Anschlußstruktur zwischen dem n<sup>+</sup>-dotierten Gebiet 57 und der als obere Kondensatorelektrode wirkenden Polysiliziumfüllung 56.

Zur Herstellung einer oberen Kondensatorelektrode aus Wolfram-Silizid kann alternativ nach Abscheidung der dielektrischen Schicht 54 eine 20 nm dicke Wolfram-Silizid-Schicht 59 und darauf eine 30 nm dicke, insitu-dotierte Polysiliziumschicht 60 abgeschieden werden (siehe Figur 22). In einem Tempersschritt bei 1100 Grad Celsius, 60 Sekunden wird die Polysiliziumschicht 60 ausgeheilt und es wird durch Ausdiffusion aus der Arsen-dotierten Wolfram-Silizium-Schicht 51 das n<sup>+</sup>-dotierte Gebiet 55 gebildet, das die unteren Kondensatorelektroden 53 miteinander verbindet (siehe Figur 22).

Die Wolfram-Silizid-Schicht 59 und die Polysiliziumschicht 60 werden durch chemisch-mechanisches Polieren bis auf die Oberfläche der Si<sub>3</sub>N<sub>4</sub>-Schicht 44 strukturiert. Nachfolgend wird mit HCl/Cl<sub>2</sub>/NF<sub>3</sub> Polysilizium, Wolfram-Silizid und SiO<sub>2</sub> selektiv zu Si<sub>3</sub>N<sub>4</sub> geätzt. Dabei sind die Ätzraten von SiO<sub>2</sub> und Polysilizium etwas höher als von Wolfram-Silizid. Mit HF/Ethylenglycol werden 10 nm Si<sub>3</sub>N<sub>4</sub> geätzt. Dadurch wird im oberen Bereich der Gräben 45 die Oberfläche des Halbleitersubstrats 42 freigelegt. Es folgt eine isotrope Ätzung der dielektrischen Schicht 54 mit DHF. Die Ätzdauer wird so eingestellt, daß 5 nm geätzt werden.

Nach Bildung eines Streuoxids wird durch gewinkelte Phosphorimplantation mit einer Energie von 10 keV und einer Dosis von  $2 \times 10^{13} \text{ cm}^{-2}$  das n<sup>+</sup>-dotierte Gebiet 57 gebildet (siehe Figur 23).

5

Nach Entfernen des Streuoxids mit DHF wird eine 80 nm dicke insitu-dotierte Polysiliziumschicht abgeschieden und durch CMP strukturiert. Dabei wird eine Polysiliziumfüllung 63 erzeugt, die den jeweiligen Graben 45 im wesentlichen auffüllt (siehe Figur 23).

10

Es folgt eine maskierte Implantation zur Bildung einer n-dotierten Wanne (nicht dargestellt). Durch eine Ätzung mit SF<sub>6</sub> wird die Polysiliziumfüllung 63 bis zur Hauptfläche 41 geätzt.

15

Nachfolgend werden Isolationsstrukturen 64 erzeugt, die aktive Gebiete umgeben und damit definieren. Dazu wird eine Maske gebildet, die die aktiven Gebiete definiert (nicht dargestellt). Durch nicht-selektives Plasma-Ätzen von Silizium, Wolfram-Silizid, SiO<sub>2</sub> und Polysilizium mit Hilfe von CHF<sub>3</sub>/N<sub>2</sub>/NF<sub>3</sub>, wobei die Ätzdauer so eingestellt wird, daß Polysilizium um 200 nm geätzt wird, durch Entfernen einer dabei verwendeten Lackmaske mit O<sub>2</sub>/N<sub>2</sub>, durch naßchemisches Ätzen von 3 nm dielektrischer Schicht, durch Oxidation und Abscheidung einer 5 nm dicken Si<sub>3</sub>N<sub>4</sub>-Schicht und durch Abscheidung in einem TEOS-Verfahren einer 250 nm dicken SiO<sub>2</sub>-Schicht und anschließendes chemisch-mechanisches Polieren werden die Isolationsstrukturen 64 fertiggestellt. Durch Ätzen in heißer H<sub>3</sub>PO<sub>4</sub> wird nachfolgend die Si<sub>3</sub>N<sub>4</sub>-Schicht 44 und durch Ätzen in DHF (verdünnte Flussäure) die SiO<sub>2</sub>-Schicht 43 entfernt (siehe Figur 24).

20

25

30

Durch eine Sacrificial oxidation wird nachfolgend ein Streuoxid gebildet. Es werden fotolithographisch erzeugte Masken und Implantationen eingesetzt zur Bildung von n-dotierten Wannen, p-dotierten Wannen und zur Durchführung von

35

Einsatzspannungsimplantationen im Bereich der Peripherie und der Auswahltransistoren des Zellenfeldes (nicht im einzelnen dargestellt). Dabei wird insbesondere eine p-dotierte Wanne 65 mit einer Dotierstoffkonzentration von  $5 \times 10^{17} \text{ cm}^{-3}$  im  
5 Bereich der aktiven Gebiete erzeugt, die zur Aufnahme der Auswahltransistoren bestimmt ist (siehe Figur 25).

Nach Entfernen des Streuoxids mit DHF wird durch thermische Oxidation ein Gateoxid 66 in einer Schichtdicke von 6 nm gebildet. Nachfolgend wird durch integrierte Abscheidung eine  
10 Polysiliziumschicht 67 und eine Wolfram-Silizidschicht 68 gebildet. Die Polysiliziumschicht 67 ist insitu-dotiert und weist eine Dicke von 80 nm auf. Die Wolfram-Silizid-Schicht 68 weist eine Dicke von 60 nm auf (siehe Figur 25).

15 Es folgt die Abscheidung einer  $\text{Si}_3\text{N}_4$ -Schicht 69 in einer Schichtdicke von 200 nm.

Mit Hilfe einer fotolithographisch erzeugten Maske (nicht  
20 dargestellt), die die Anordnung von Gateelektroden enthaltenden Wortleitungen, die streifenförmig sind und parallel zueinander verlaufen, definiert, werden die  $\text{Si}_3\text{N}_4$ -Schichten 69 mit  $\text{CHF}_3/\text{O}_2/\text{CF}_4$ , die Wolfram-Silizid-Schicht 68 mit  $\text{HCl}/\text{Cl}_2/\text{NF}_3$  und die Polysiliziumschicht mit  $\text{HCl}/\text{Cl}_2$  geätzt.  
25 Dabei werden aus der Wolfram-Silizid-Schicht 68 und der Polysiliziumschicht 67 jeweils Gateelektroden 70 gebildet (siehe Figur 26).

Durch Oxidation werden die Seitenwände der Gateelektroden 70  
30 mit einer  $\text{SiO}_2$ -Schicht 71 versehen. Es folgt eine maskierte Implantation zur Bildung von Source-/Drain-Gebieten 72.

Nach Entfernung der zuletzt verwendeten Fotolackmasken wird durch Abscheidung einer 35 nm dicken  $\text{Si}_3\text{N}_4$ -Schicht und anisotropes Ätzen mit  $\text{CHF}_3$  an den Flanken der Gateelektroden 70  
35 sowie der  $\text{Si}_3\text{N}_4$ -Schicht 69  $\text{Si}_3\text{N}_4$ -Spacer 73 gebildet. Nachfolgend wird eine 23 nm dicke Oxinitridschicht 74 abgeschieden.

Durch Abscheidung einer BPSG-Schicht 75 in einer Schichtdicke von 550 nm, Verfließen der BPSG-Schicht 75 und chemisch-mechanisches Polieren, wobei die Oxinitridschicht 74 als Ätzstop wirkt, wird eine planare Oberfläche erzielt (siehe Figur 26).

Auf diese planare Oberfläche wird in einem TEOS-Verfahren eine  $\text{SiO}_2$ -Schicht 76 in einer Schichtdicke von 450 nm aufgebracht. Mit Hilfe einer fotolithographisch erzeugten Maske (nicht dargestellt) werden in der  $\text{SiO}_2$ -Schicht 76 Kontaktlöcher 77 erzeugt, die auf dasjenige Source-/Drain-Gebiet 72 der Auswahltransistoren und der Transistoren in der Peripherie reichen, das nicht mit dem  $n^+$ -dotierten Gebiet 57 verbunden ist (siehe Figur 27). Bei der anisotropen Ätzung zur Öffnung des Kontaktloches 76 mit  $\text{O}_2/\text{C}_4\text{F}_8/\text{CO}$  wirkt die Oxinitridschicht 74 als Ätzstop. Im Bereich der Kontaktlöcher 77 wird die Oxinitridschicht 74 mit  $\text{O}_2/\text{CHF}_3$  entfernt.

Mit Hilfe einer fotolithographisch erzeugten Maske, die das Zellenfeld der Speicherzellenanordnung abdeckt, wird eine HDD-Implantation für Transistoren im Bereich der Peripherie durchgeführt (nicht dargestellt).

In den Kontaktlöchern 77 wird durch Abscheidung einer insitu-dotierten Polysiliziumschicht und anisotropes Ätzen mit  $\text{CF}_4/\text{SF}_6$  eine Polysiliziumfüllung 78 gebildet (siehe Figur 27).

Mit Hilfe einer weiteren fotolithographisch erzeugten Maske (nicht dargestellt), die die Anordnung von streifenförmigen, parallel zueinander verlaufenden Bitleitungen, die senkrecht zu den Wortleitungen verlaufen, definiert, wird mit  $\text{CF}_4/\text{CHF}_3$  in die  $\text{SiO}_2$ -Schicht 76 geätzt. Dabei wird bis in eine Tiefe von 270 nm geätzt.

Nach Entfernen der fotolithographisch erzeugten Maske mit  $\text{O}_2/\text{N}_2$  werden Titan und Wolfram abgeschieden und durch che-

20

misch-mechanisches Polieren strukturiert. Dadurch werden Bit-  
leitungen 79 erzeugt.

Die Speicherzellenanordnung wird in bekannter Weise durch die  
5 Bildung weiterer Verdrahtungsebenen fertiggestellt.

## Patentansprüche

1. Speicherzellenanordnung
  - mit Speicherzellen, die jeweils einen Speicherkondensator  
5 und einen Auswahltransistor aufweisen,
  - bei der der Speicherkondensator eine untere Kondensatorelektrode, ein Kondensatordielektrikum und eine obere Kondensatorelektrode aufweist, die mindestens teilweise in  
10 einem Graben angeordnet sind, wobei die untere Kondensatorelektrode an eine Wand der Grabens angrenzt,
  - bei der mindestens eine der Kondensatorelektroden als metallische Elektrode ausgebildet ist.
2. Speicherzellenanordnung nach Anspruch 1,  
15 bei der die metallische Elektrode Wolframsilizid, Wolfram, Wolfram-Nitrid, Ruthenium, Ruthenium-Oxid oder Iridium oder Iridium-Oxid enthält.
3. Speicherzellenanordnung nach Anspruch 1 oder 2,  
20 bei der die untere Kondensatorelektrode und die obere Kondensatorelektrode als metallische Elektroden ausgebildet sind.
4. Speicherzellenanordnung nach Anspruch 1 oder 2,  
bei der die untere Kondensatorelektrode als metallische Elektrode ausgebildet ist und die obere Kondensatorelektrode dotiertes Polysilizium enthält.  
25
5. Speicherzellenanordnung nach Anspruch 1 oder 2,  
bei der die untere Kondensatorelektrode als an den Graben angrenzendes Diffusionsgebiet ausgebildet ist und die obere  
30 Kondensatorelektrode als metallische Elektrode ausgebildet ist.
6. Speicherzellenanordnung nach einem der Ansprüche 1 bis 5,  
35 bei der sich der Graben von einer Hauptfläche eines Halbleitersubstrates in das Halbleitersubstrat hinein erstreckt und der Graben im Bereich der Hauptfläche parallel zur Hauptfläche

che einen kleineren Querschnitt als in einem der Hauptfläche abgewandten Bereich des Grabens aufweist.

7. Verfahren zur Herstellung einer Speicherzellenanordnung  
5 mit einem Speicherkondensator und einem Auswahltransistor,  
- bei dem in eine Hauptfläche eines Halbleitersubstrats ein Graben geätzt wird,  
- bei dem eine untere Kondensatorelektrode, die an eine Wand des Grabens angrenzt, ein Speicherdielektrikum und eine  
10 obere Kondensatorelektrode, die mindestens teilweise in dem Graben angeordnet ist, gebildet werden,  
- bei dem mindestens eine der Kondensatorelektroden durch CVD-Abscheidung eines Metalls gebildet wird.
- 15 8. Verfahren nach Anspruch 7,  
bei dem mindestens die eine der Kondensatorelektroden durch CVD-Abscheidung von Wolframsilizid, Wolfram, Wolfram-Nitrid, Ruthenium, Ruthenium-Oxid oder Iridium oder Iridium-Oxid gebildet wird.
- 20 9. Verfahren nach Anspruch 7 oder 8,  
- bei dem zur Bildung des Grabens zunächst anisotrop in das Halbleitersubstrat geätzt wird,  
- bei dem ein der Hauptfläche benachbarter Teil der Wand des  
25 Grabens mit einem schützenden Spacer versehen wird,  
- bei dem der Graben durch eine isotrope Ätzung selektiv zu dem schützenden Spacer in dem der Hauptfläche abgewandten Bereich aufgeweitet wird.
- 30 10. Verfahren nach einem der Ansprüche 7 bis 9,  
- bei dem die untere Kondensatorelektrode durch Ausdiffusion aus einer in den Graben eingebrachten Diffusionsquelle als an die Wand der Grabens angrenzendes Diffusionsgebiet gebildet wird,  
35 - bei dem die obere Kondensatorelektrode durch CVD-Abscheidung eines Metalls gebildet wird.

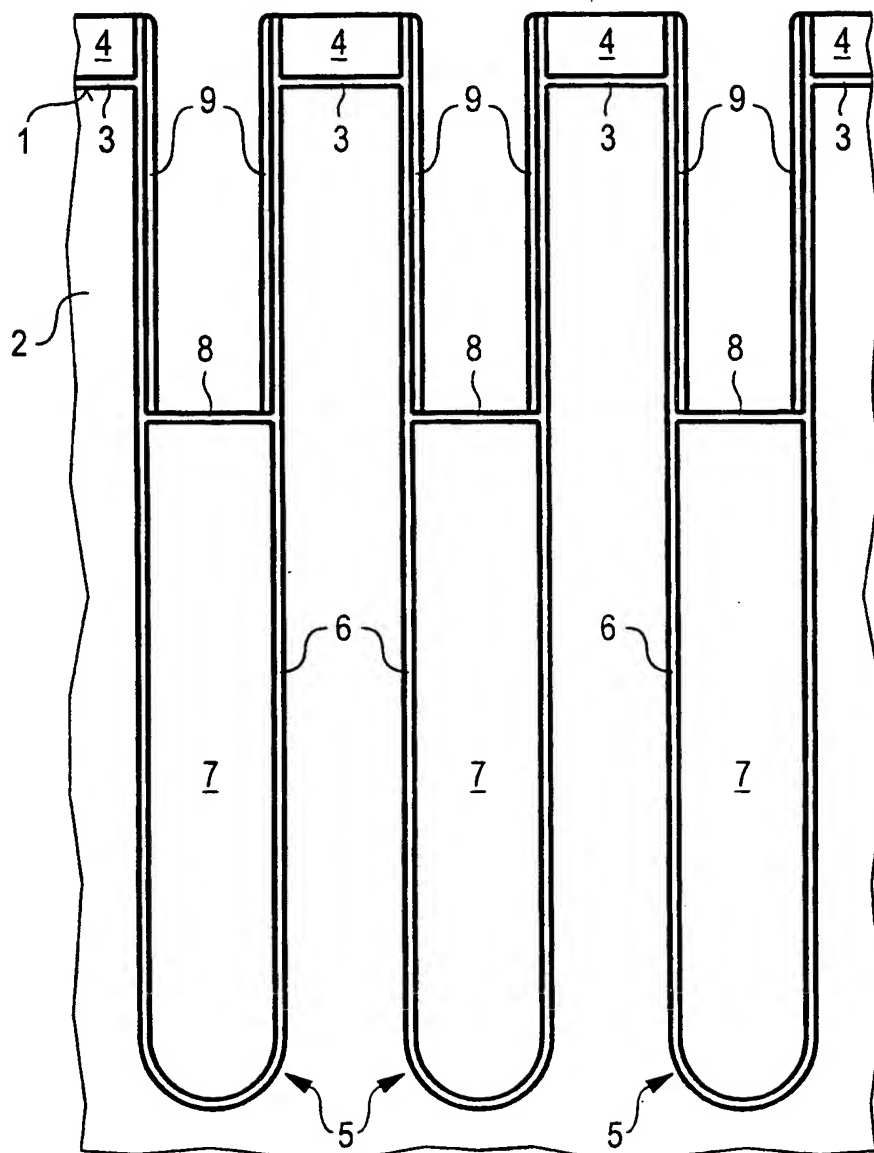


11. Verfahren nach einem der Ansprüche 7 bis 9,
- bei dem die untere Kondensatorelektrode durch CVD-Abscheidung eines Metalls gebildet wird,
  - bei dem die obere Kondensatorelektrode aus dotiertem Polysilizium gebildet wird.
- 5

12. Verfahren nach einem der Ansprüche 7 bis 9,
- bei dem die untere Kondensatorelektrode und die obere Kondensatorelektrode durch CVD-Abscheidung eines Metalls gebildet
- 10 werden.

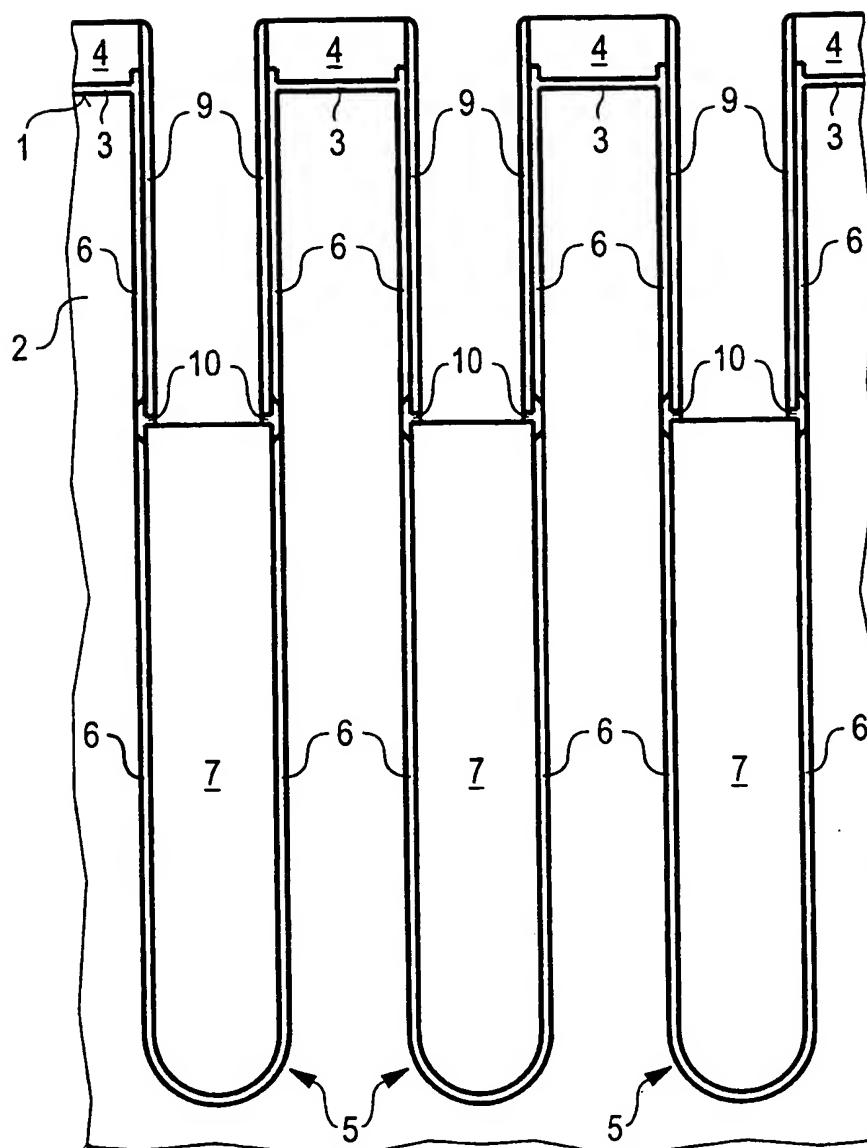
1/27

FIG 1



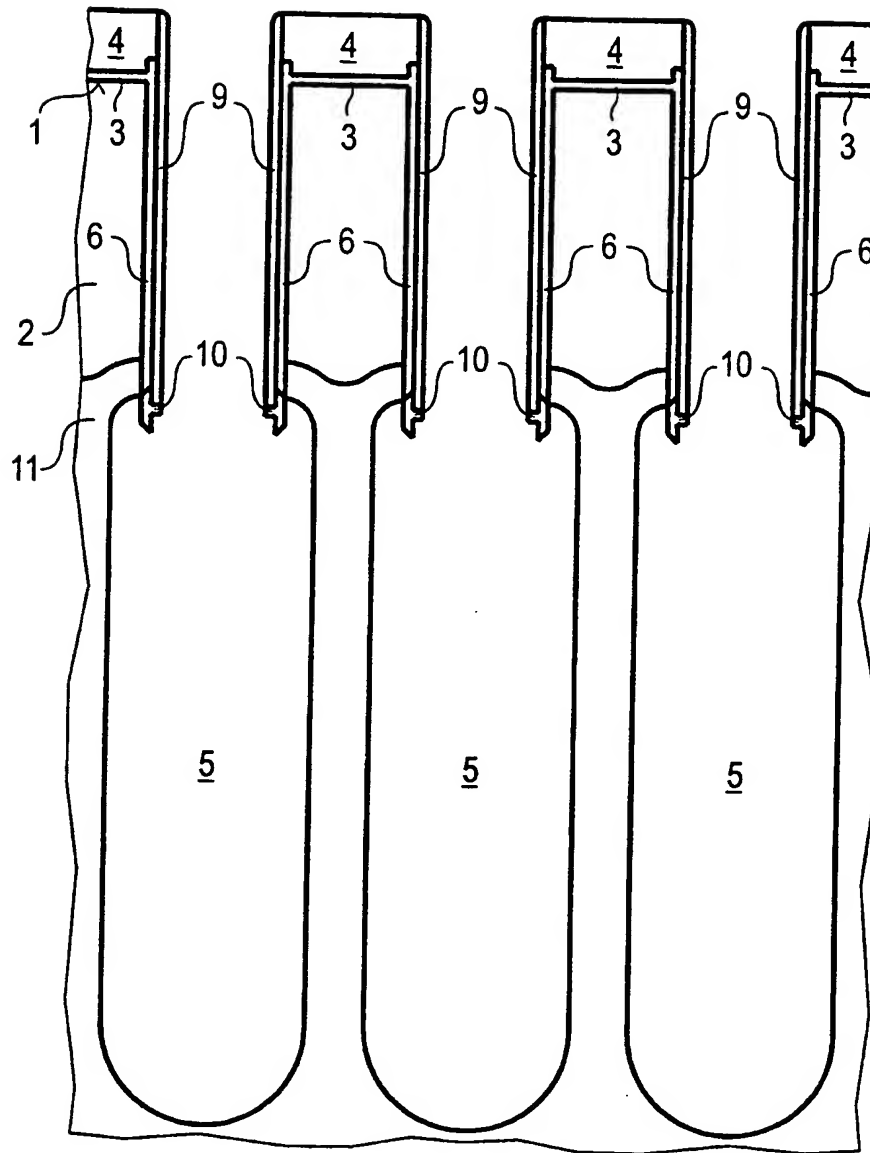
2/27

FIG 2



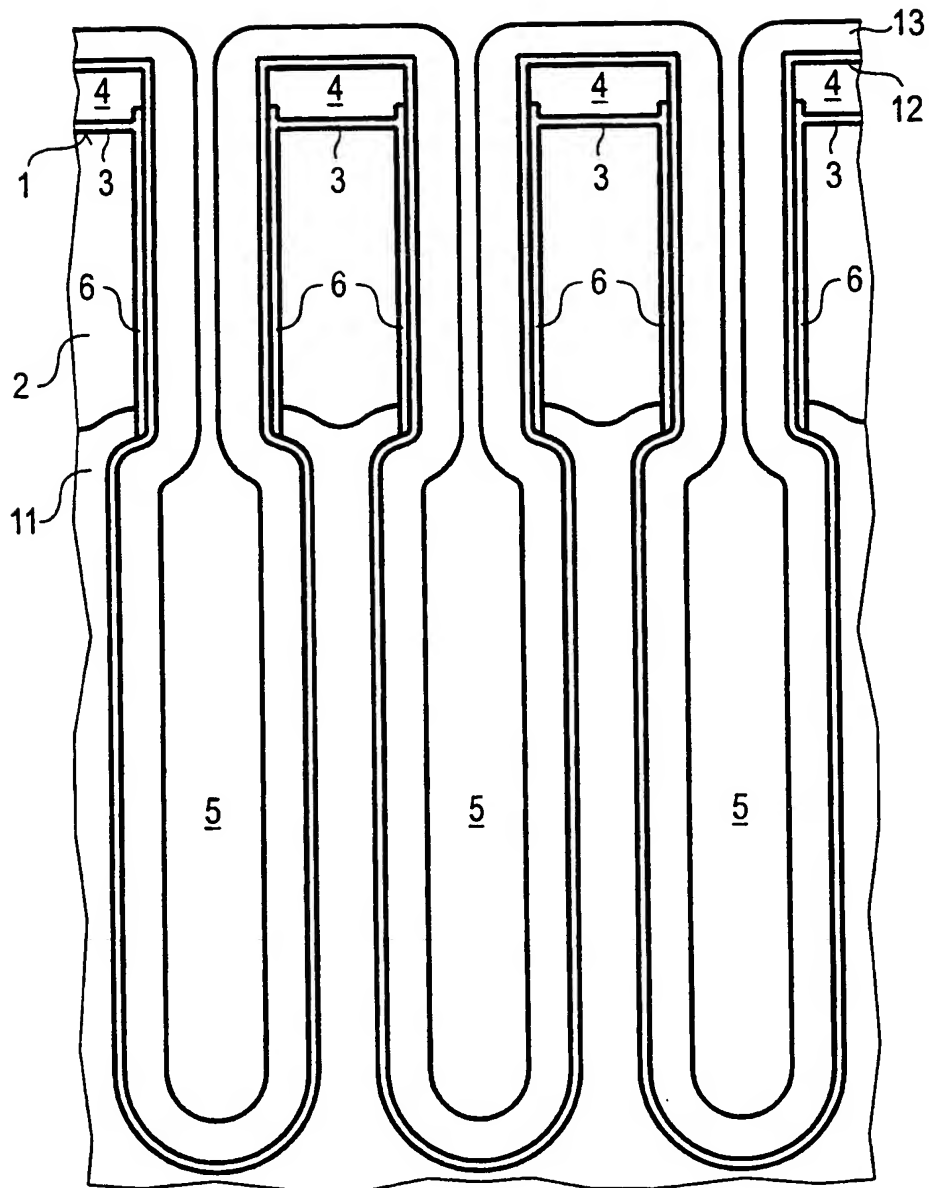
3/27

FIG 3



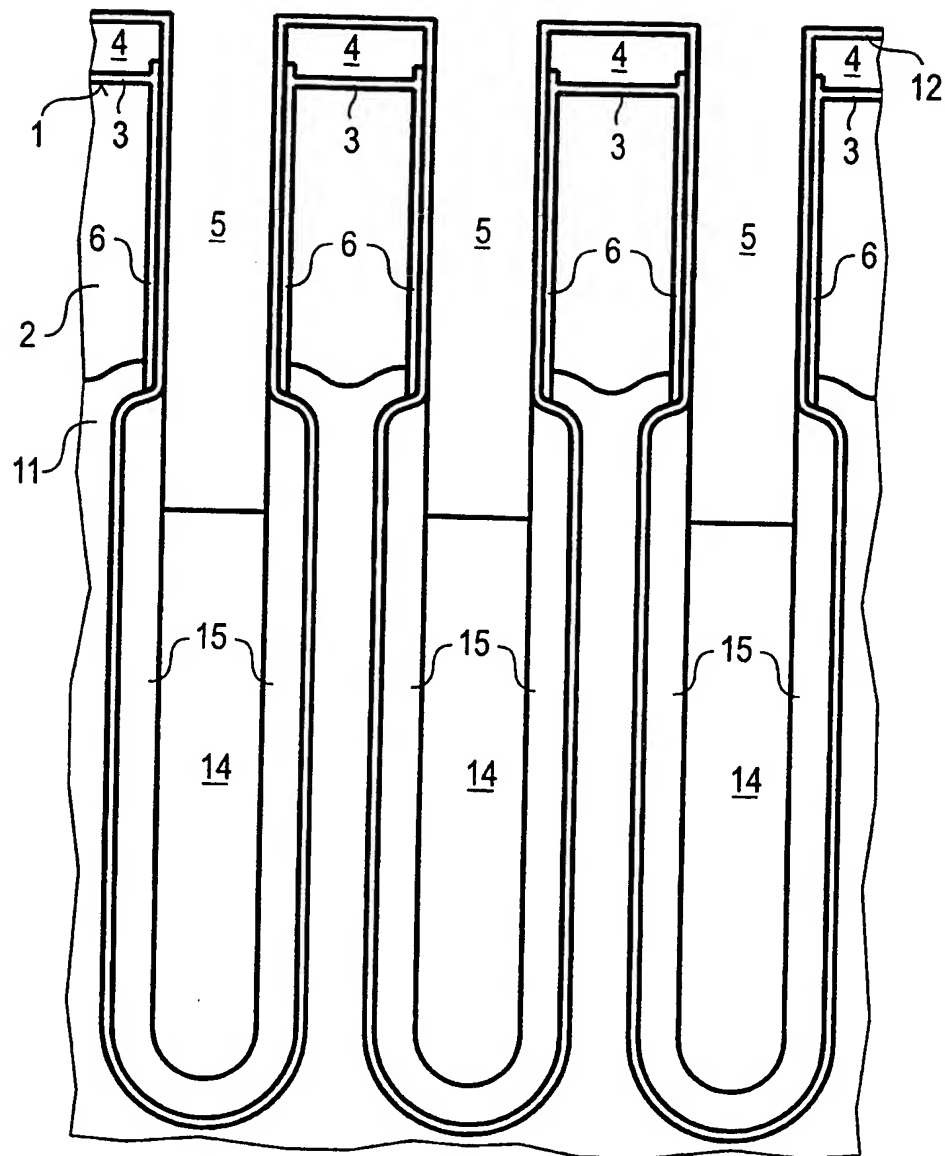
4/27

FIG 4



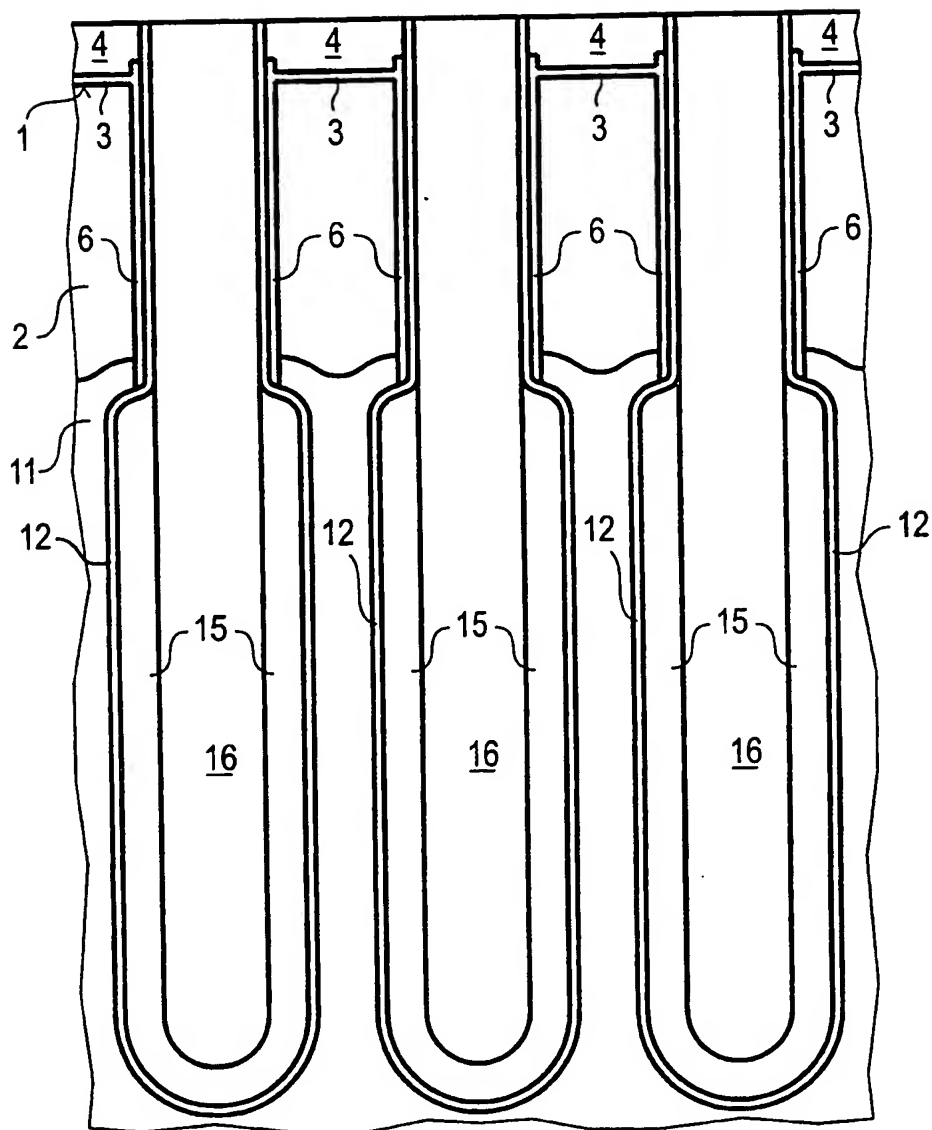
**5/27**

**FIG 5**



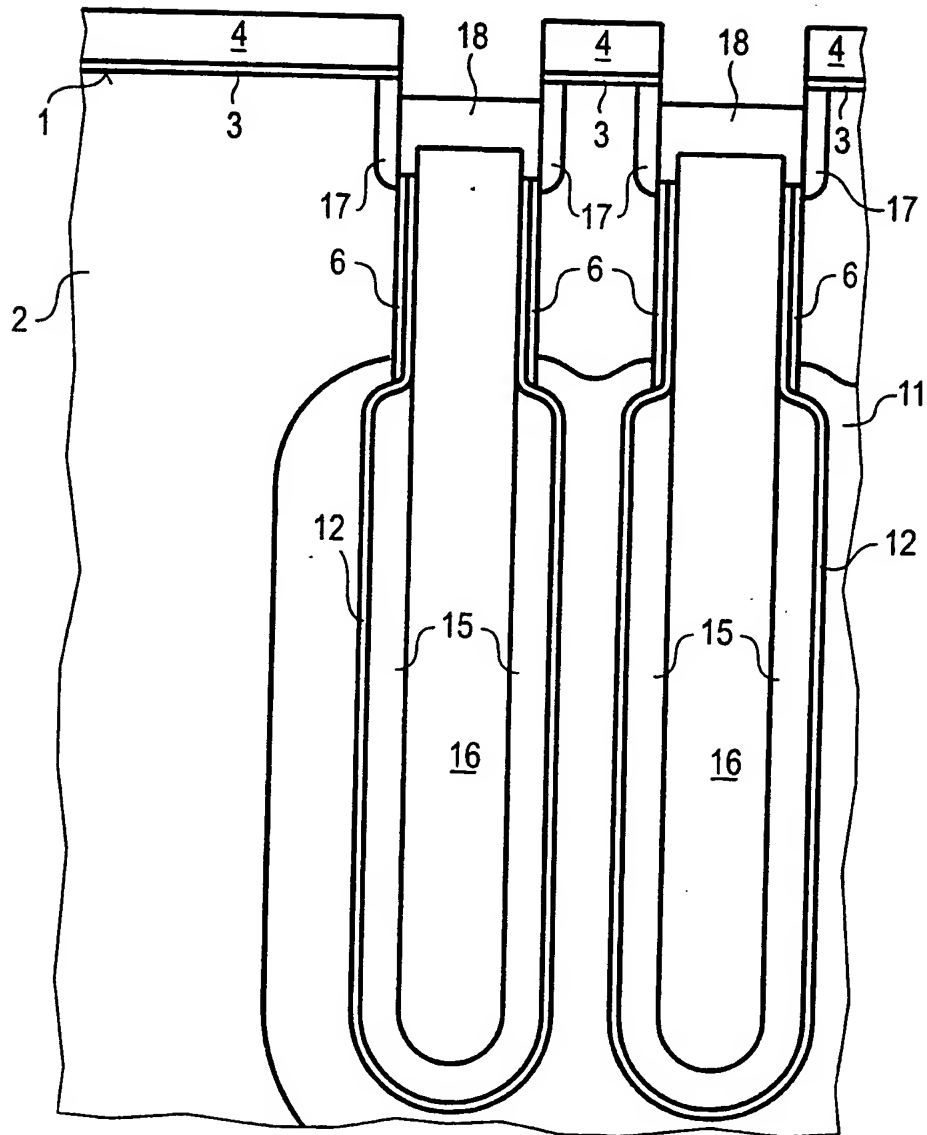
6/27

FIG 6



7/27

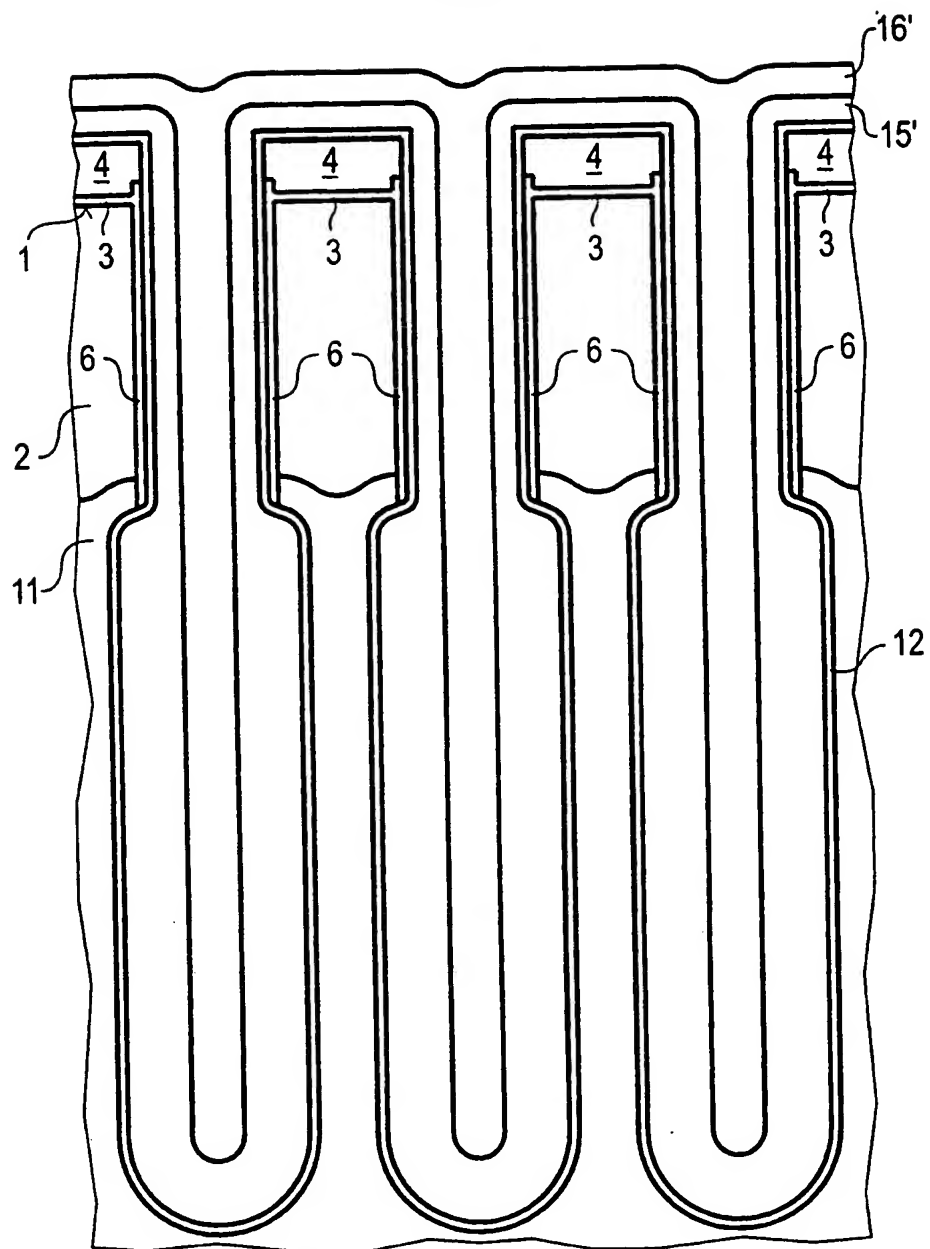
FIG 7





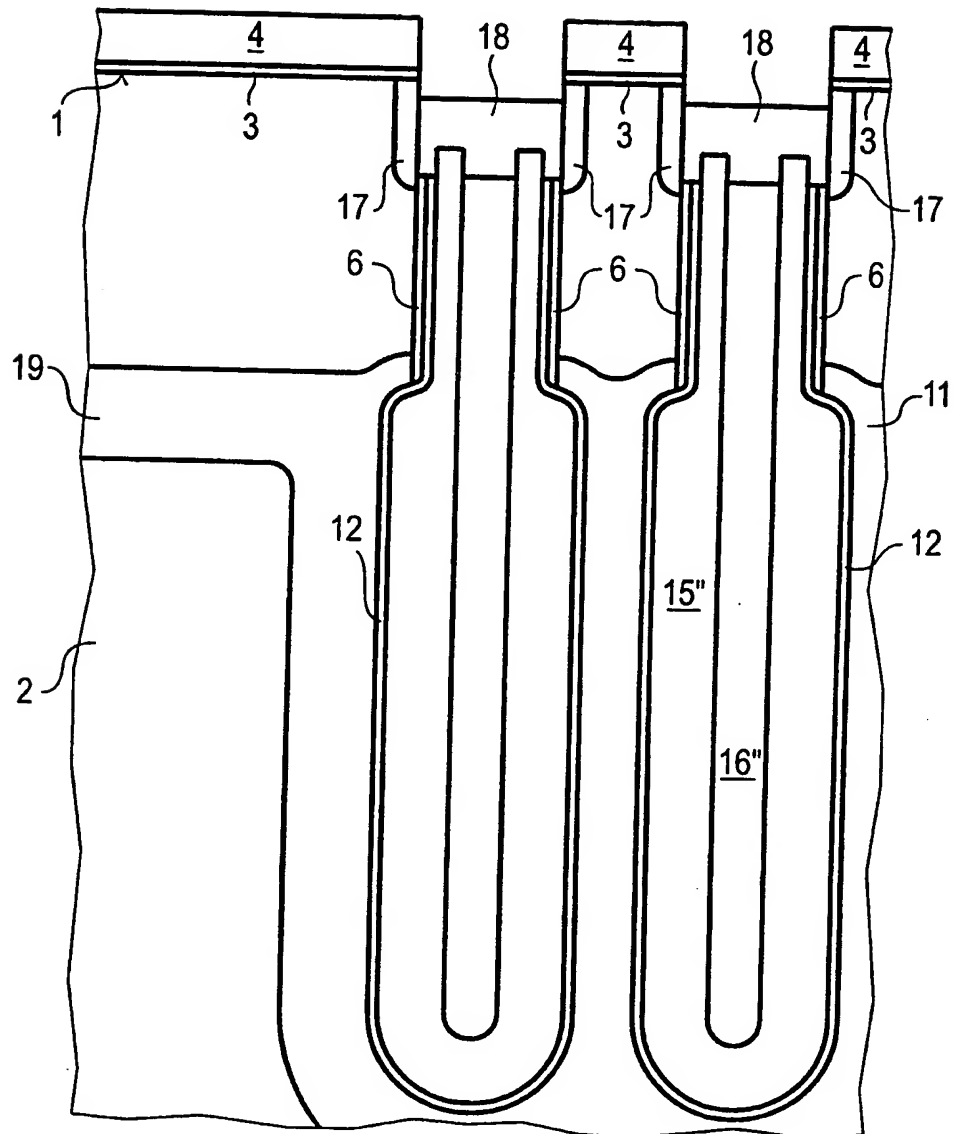
8/27

FIG 8



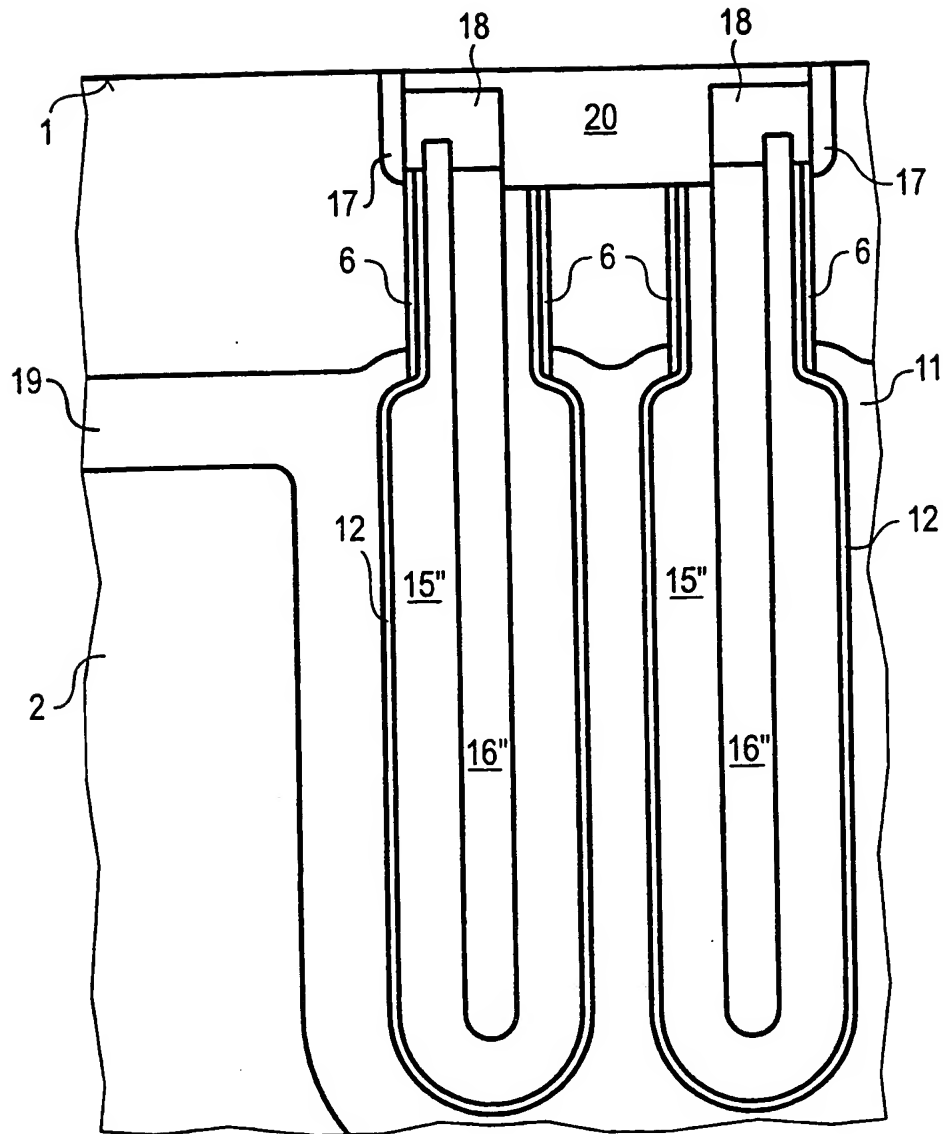
9/27

FIG 9



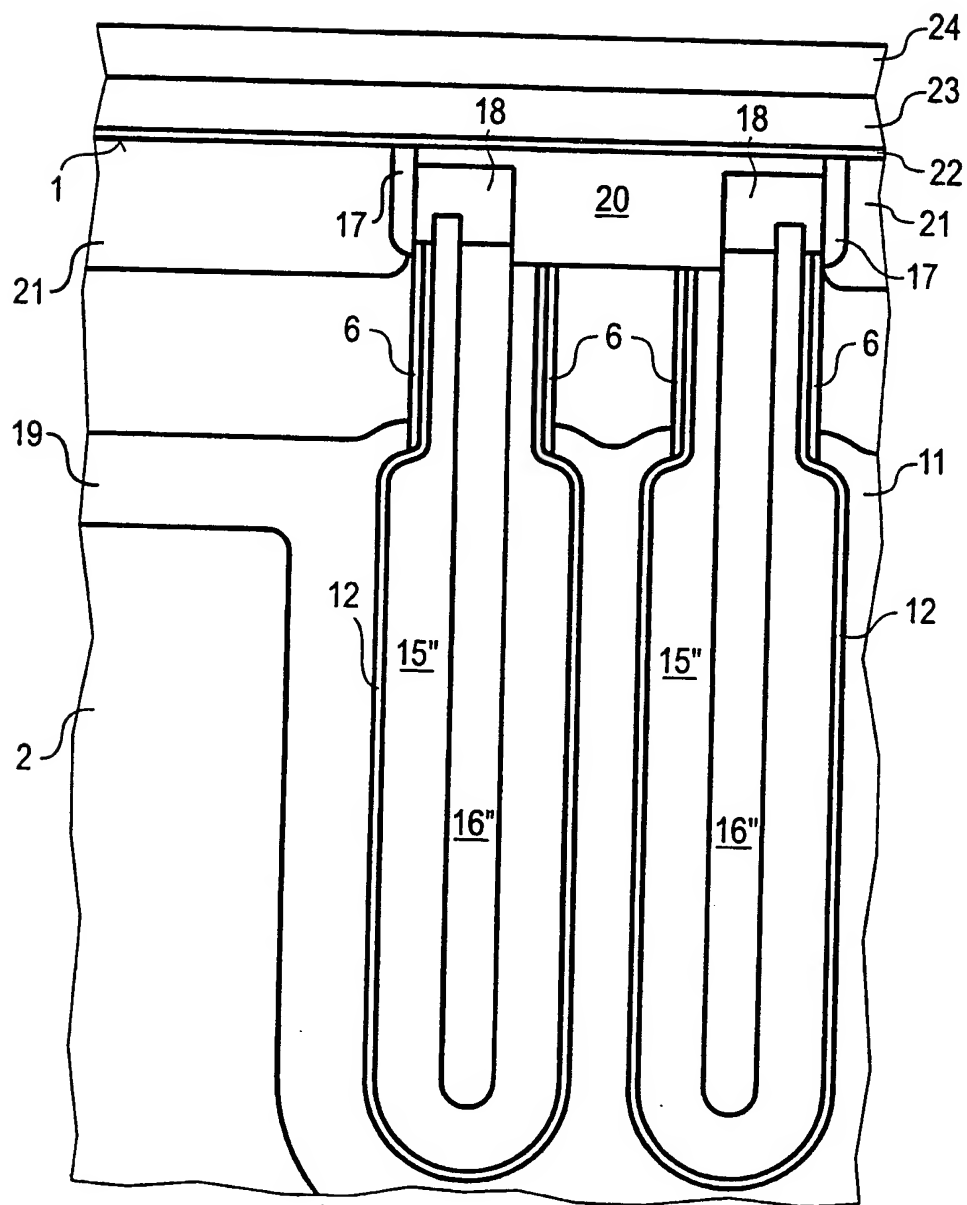
10/27

**FIG 10**



11/27

FIG 11



12/27

**FIG 12**

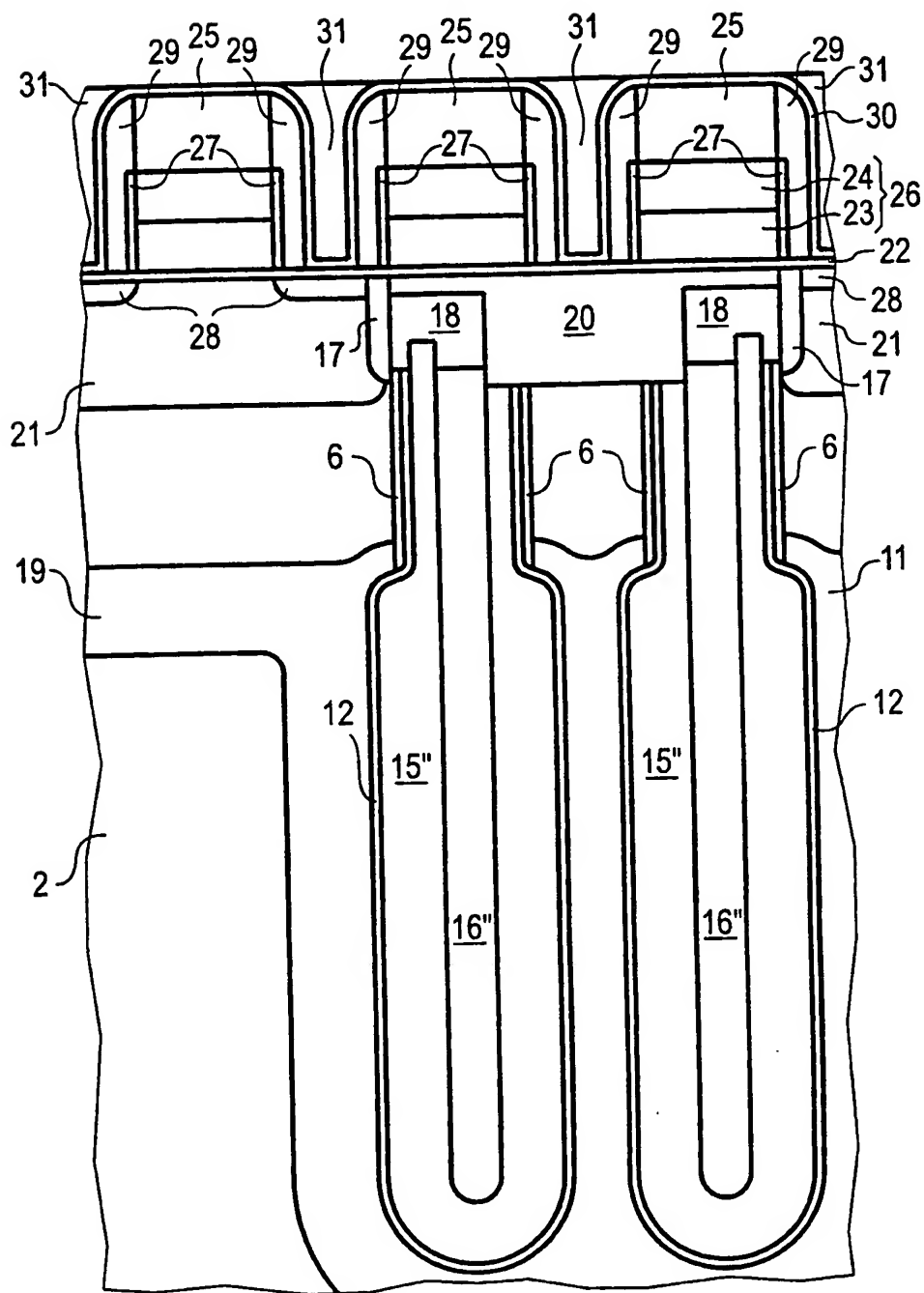
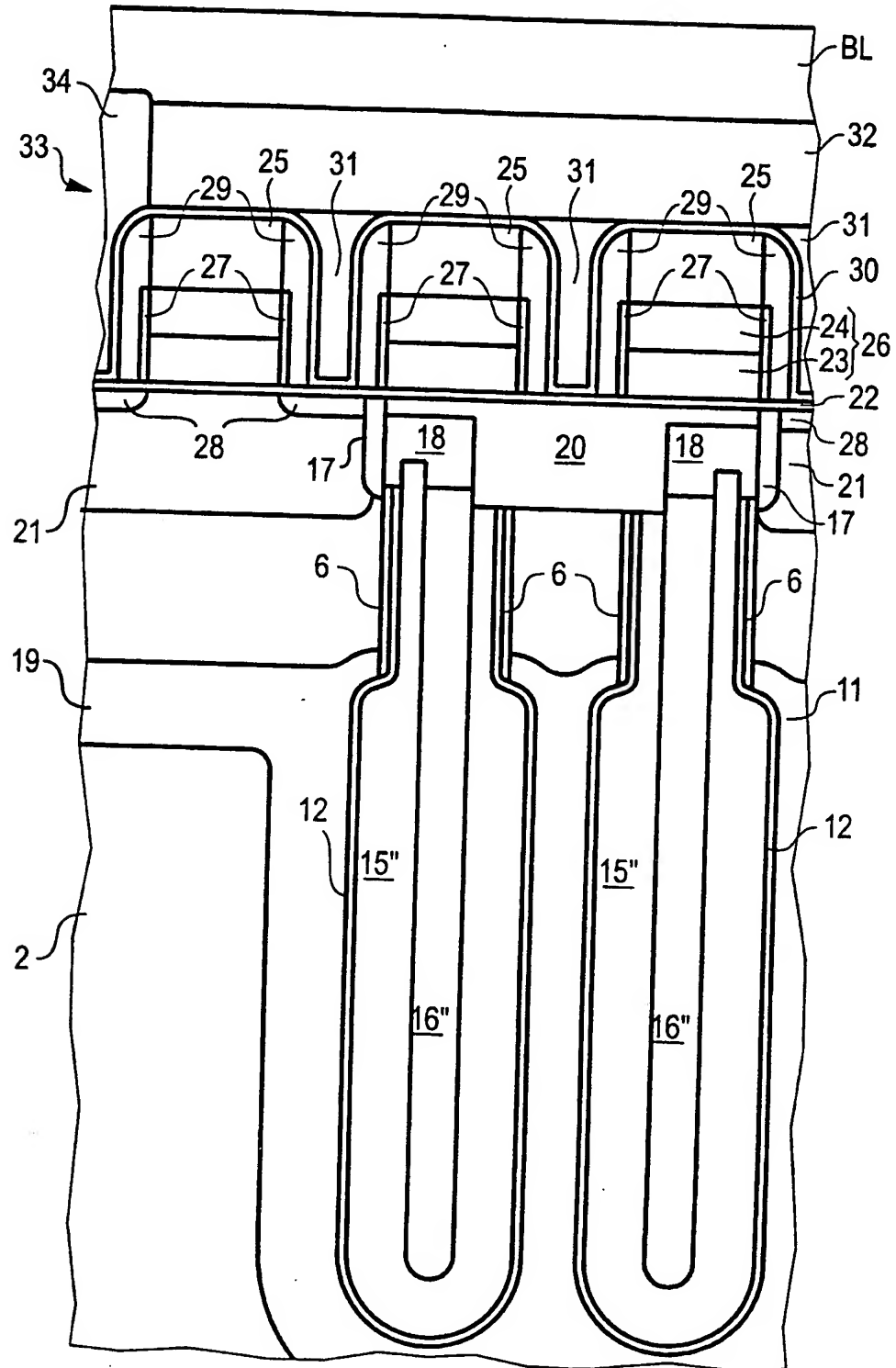


FIG 13

13/27



14/27

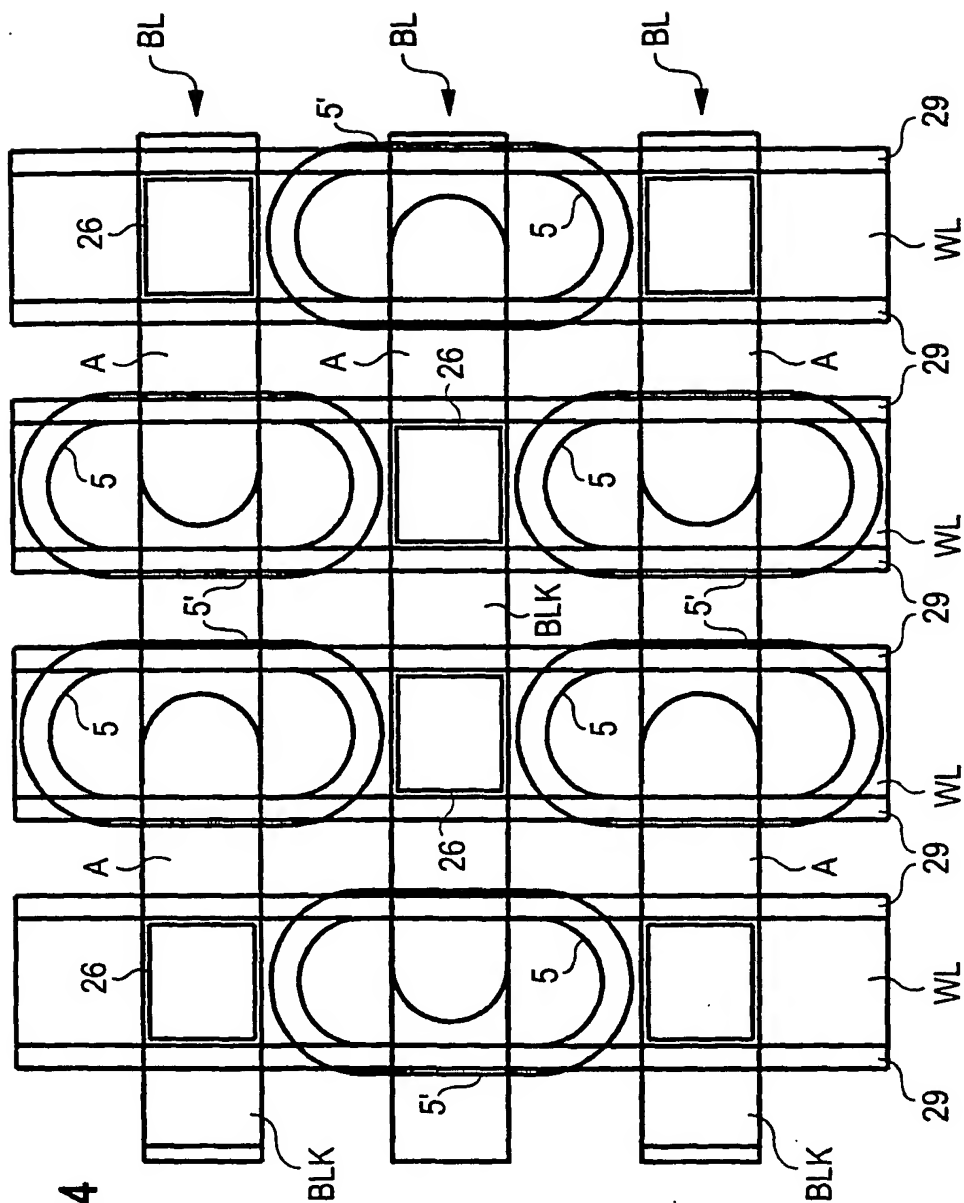
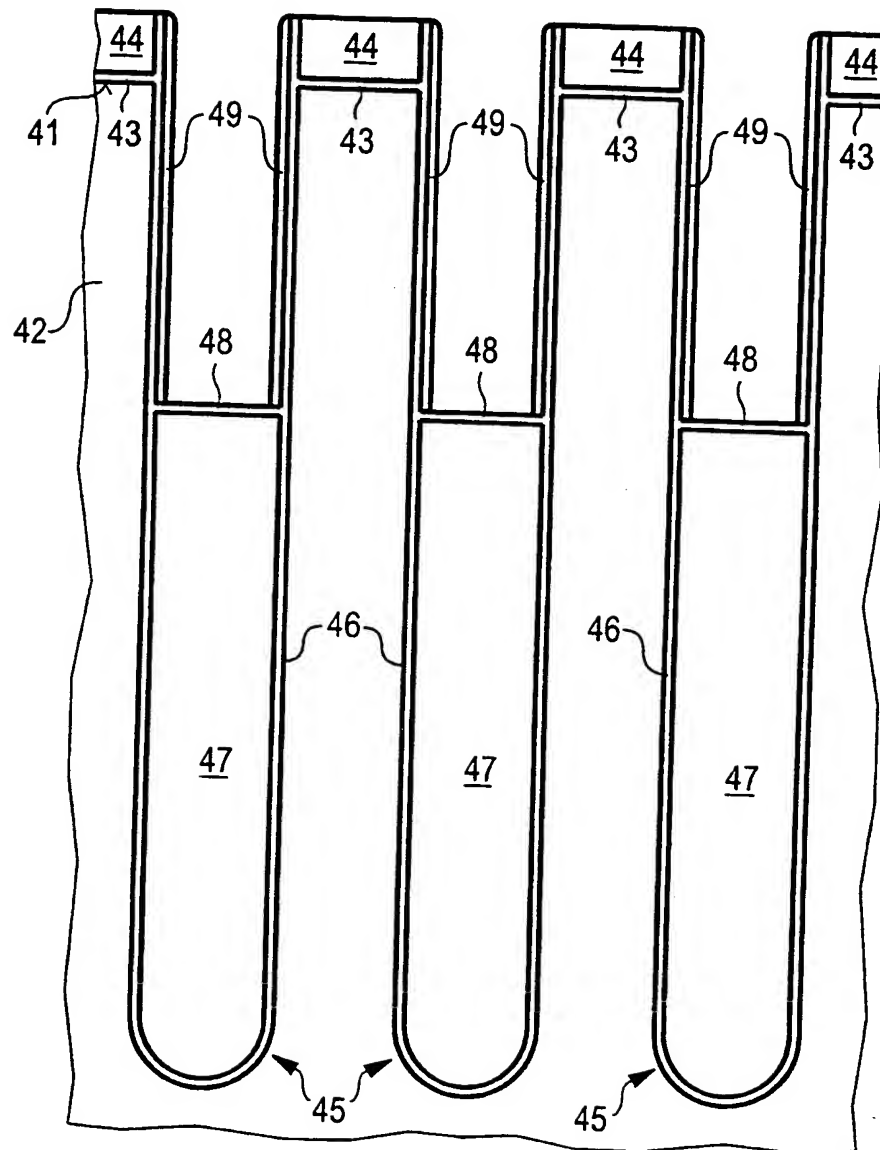


FIG 14

15/27

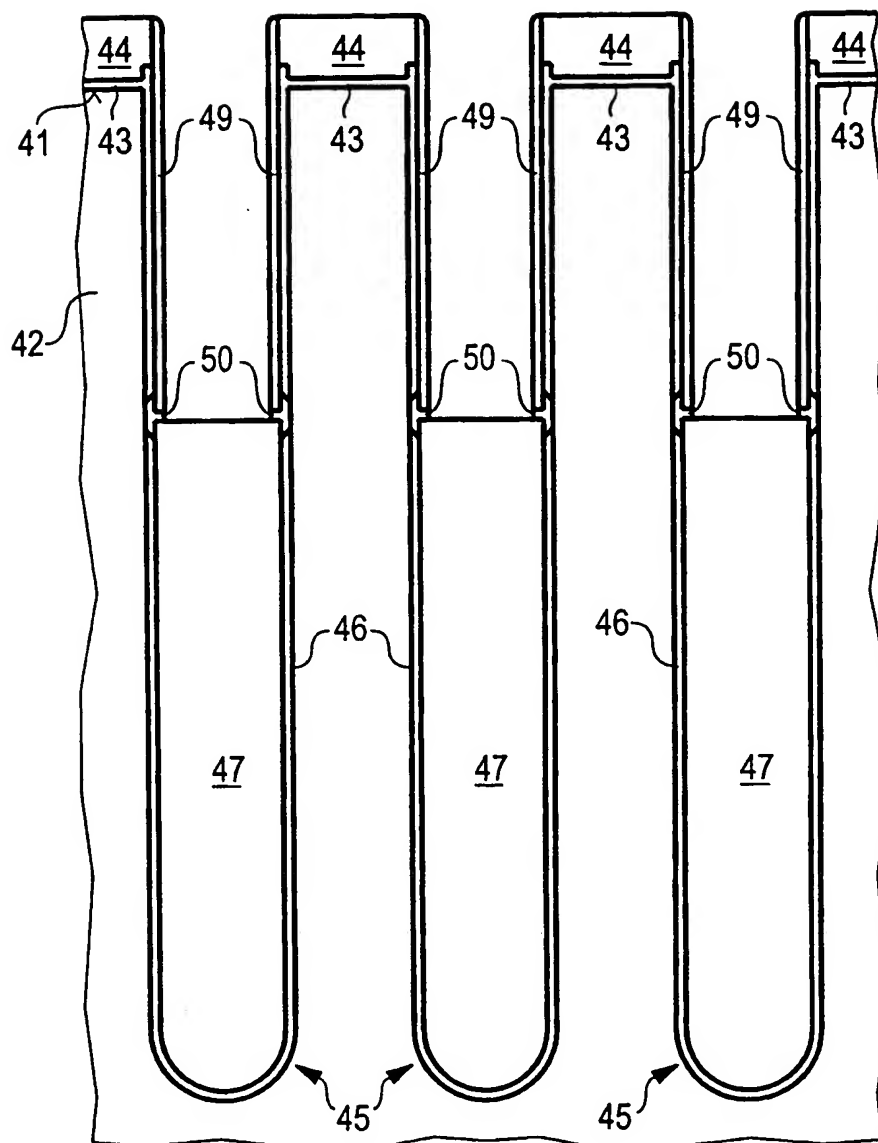
FIG 15





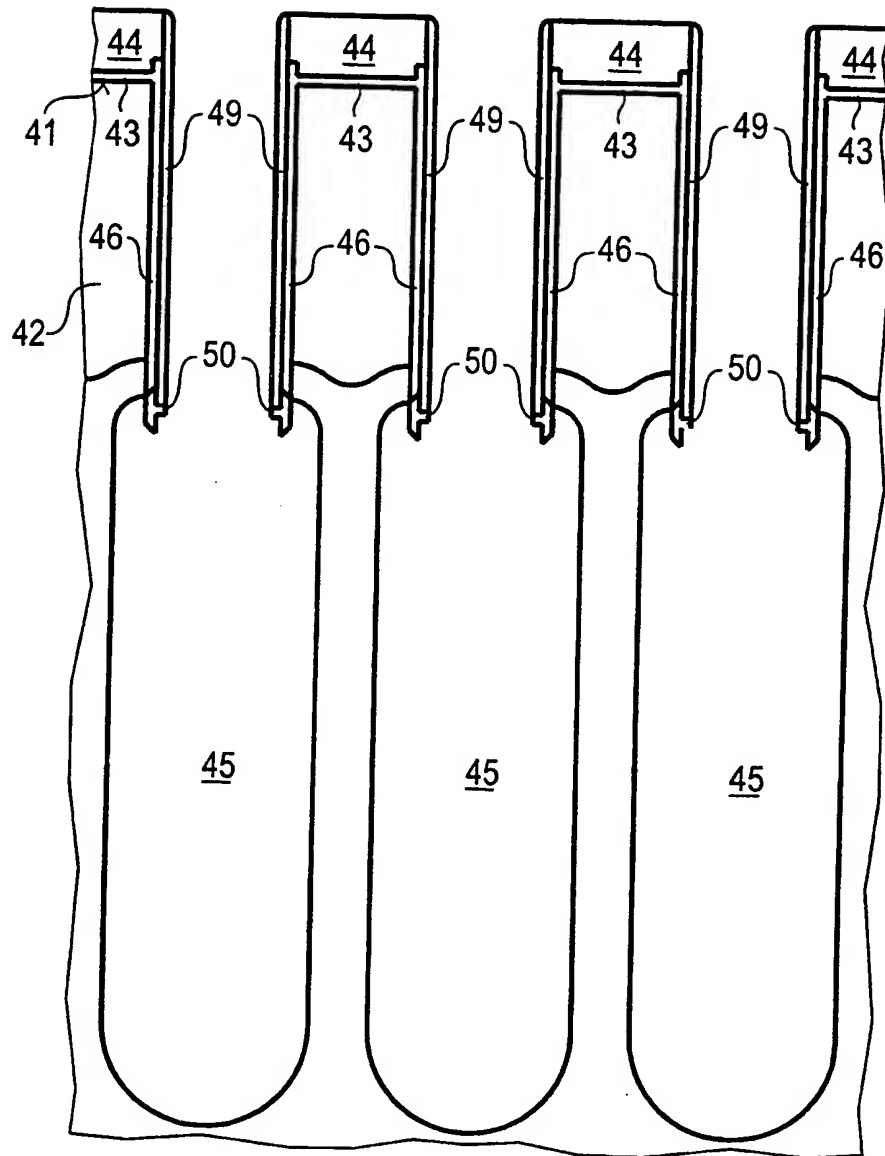
16/27

FIG 16



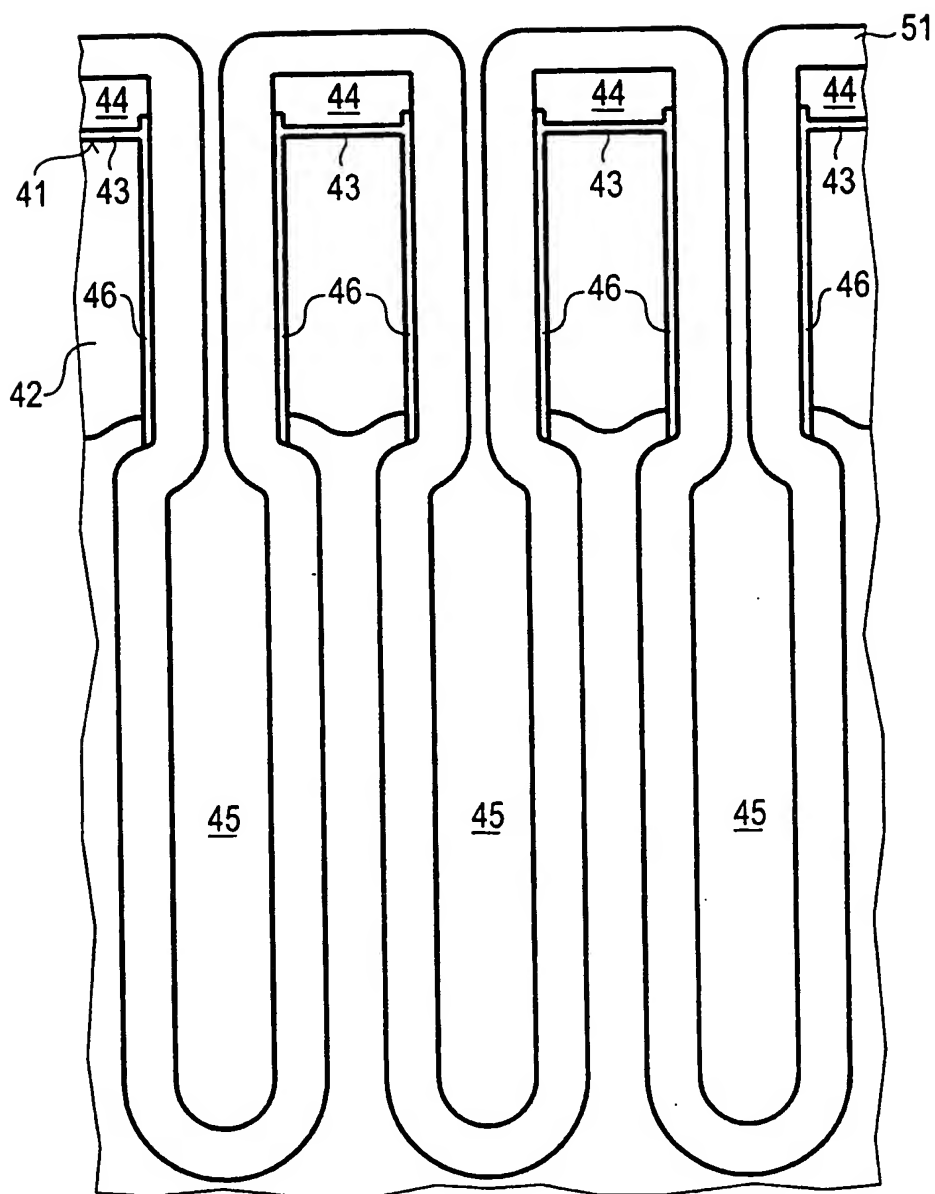
17/27

FIG 17



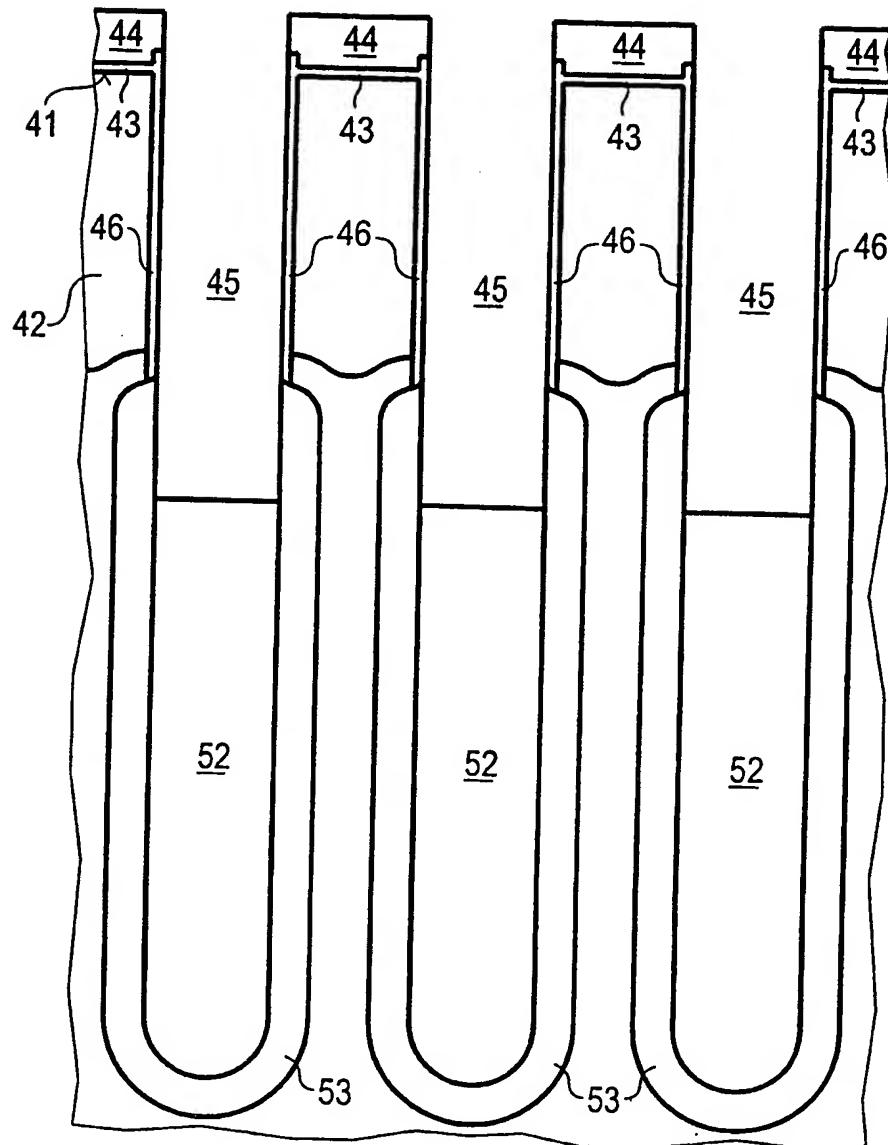
18/27

FIG 18



19/27

FIG 19



20/27

FIG 20

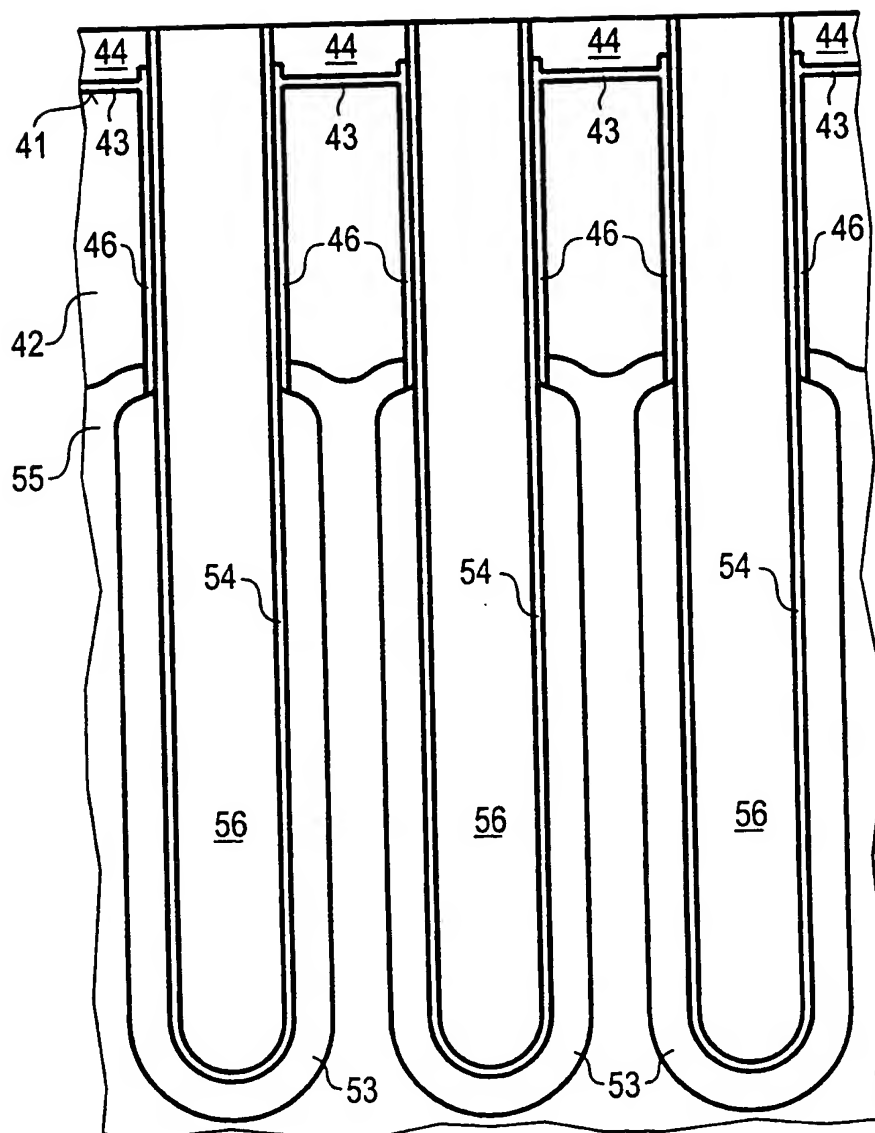
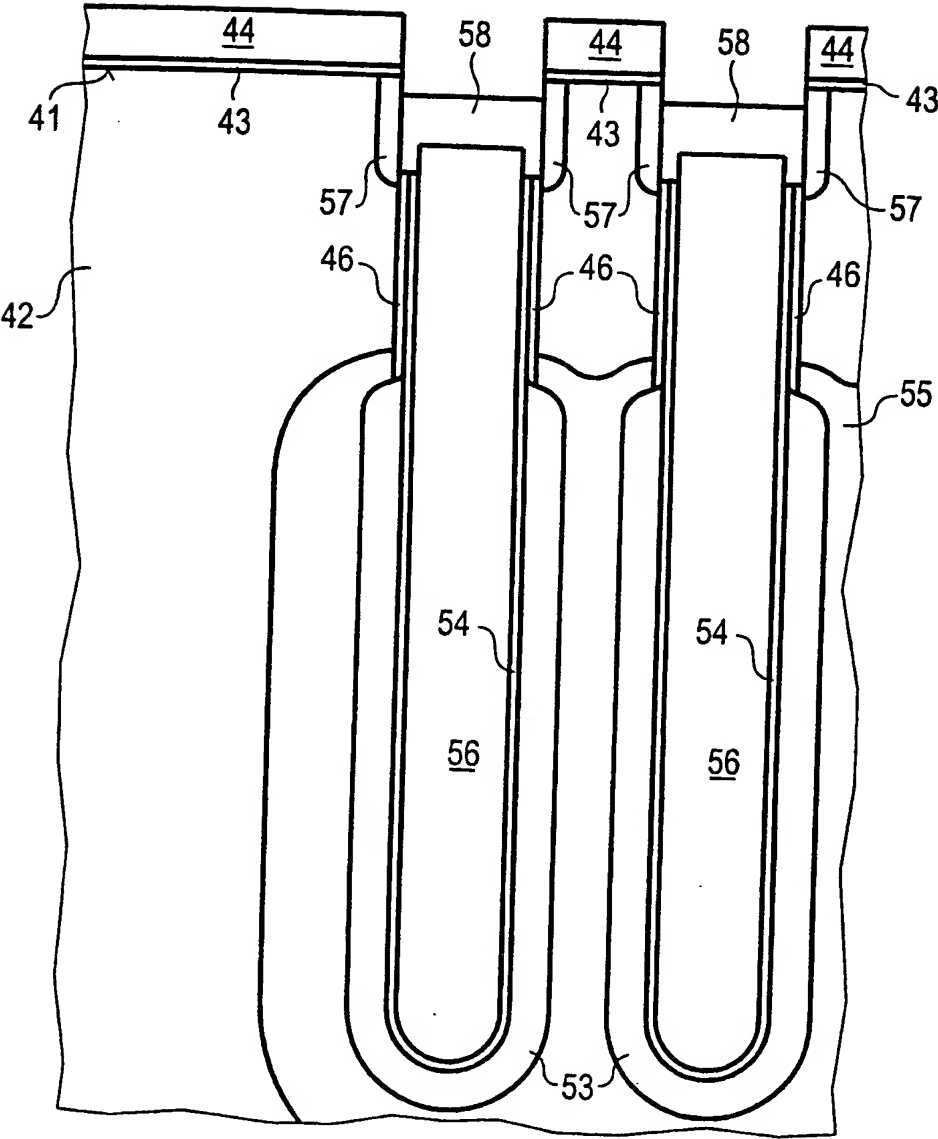
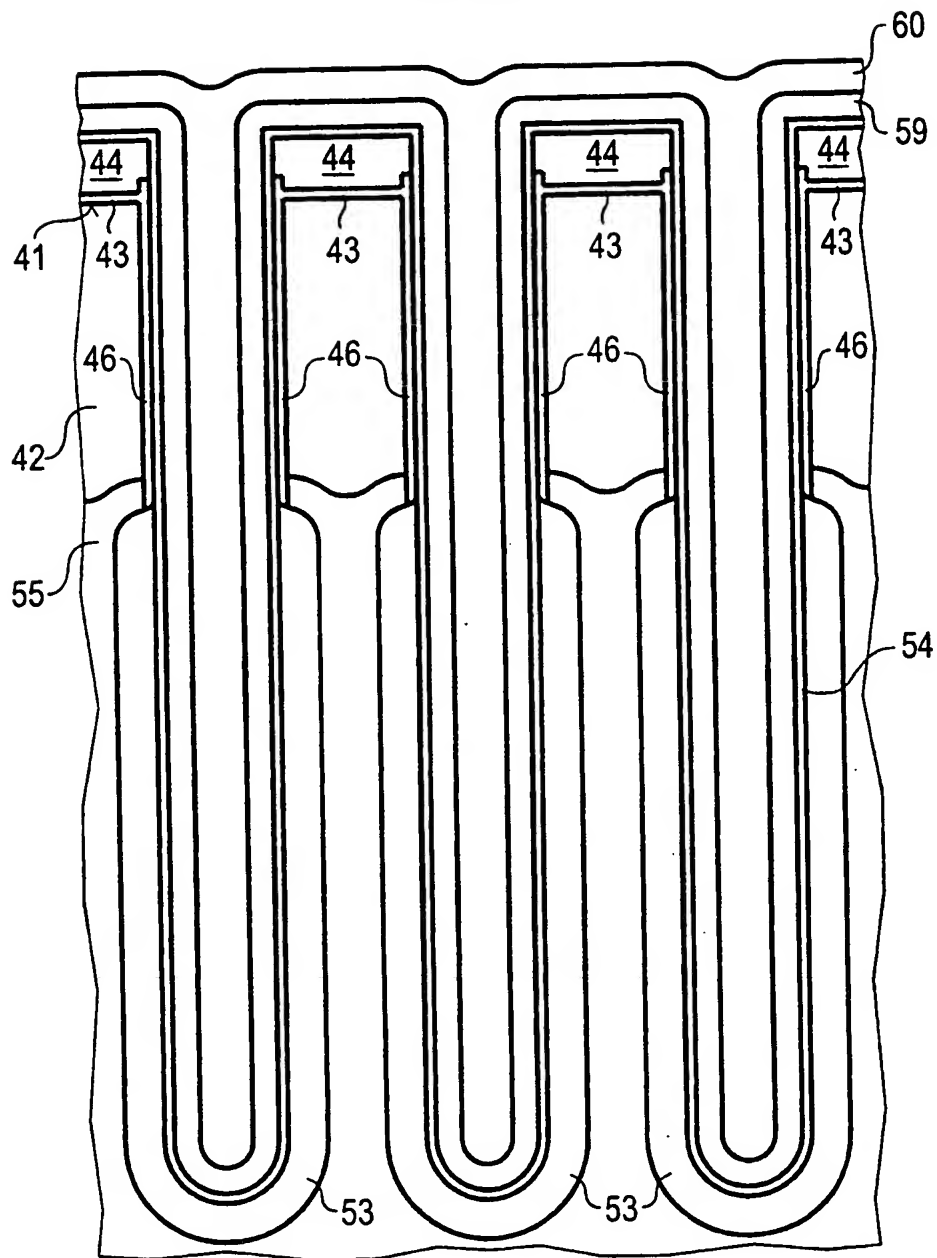


FIG 21



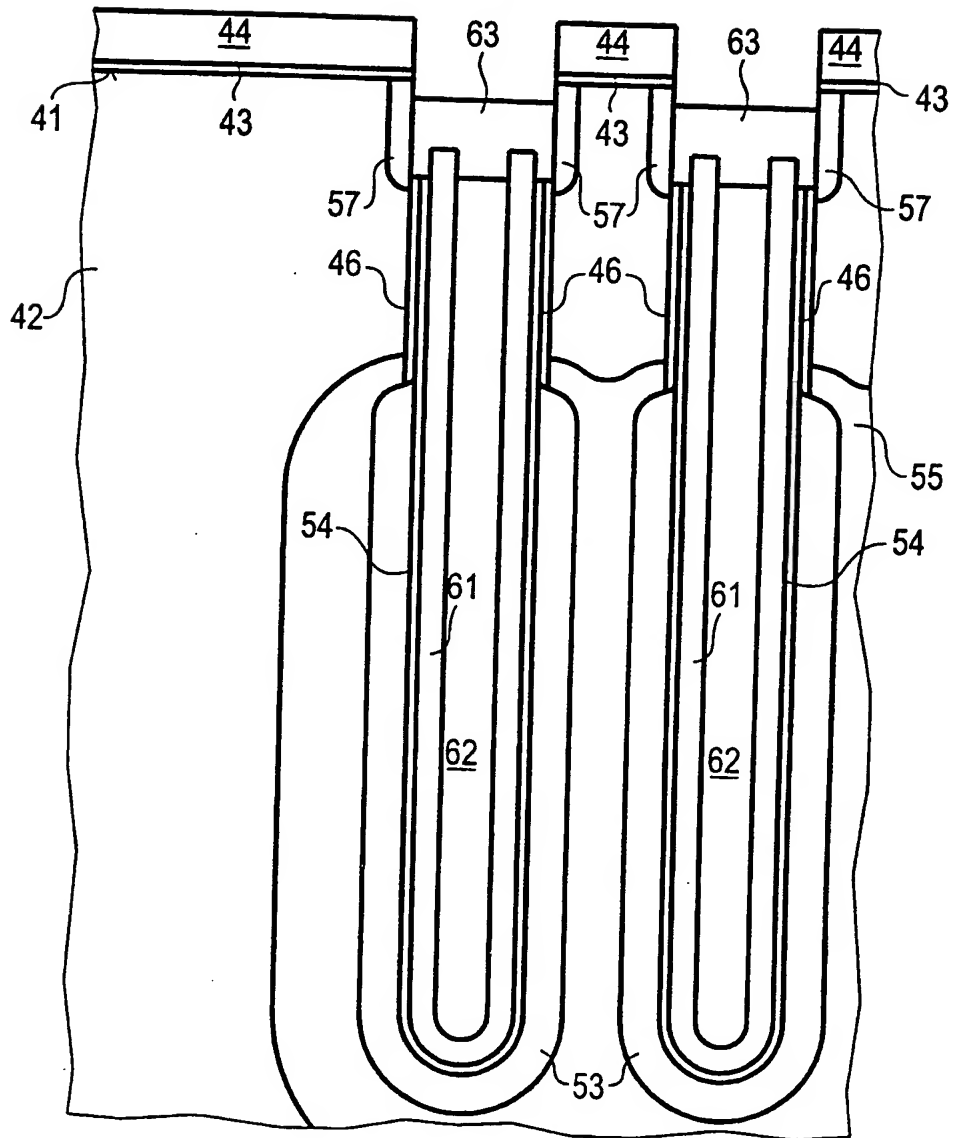
22/27

FIG 22



23/27

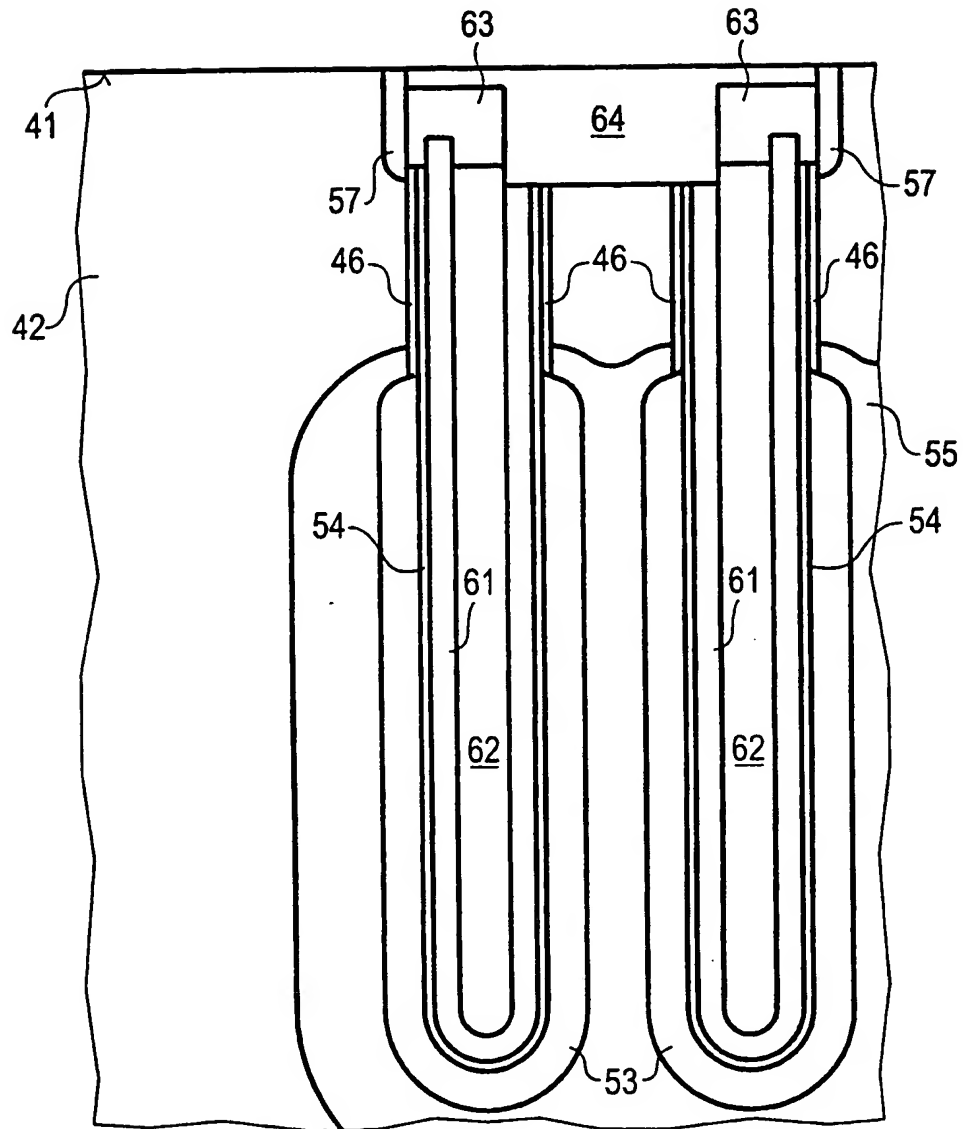
FIG 23





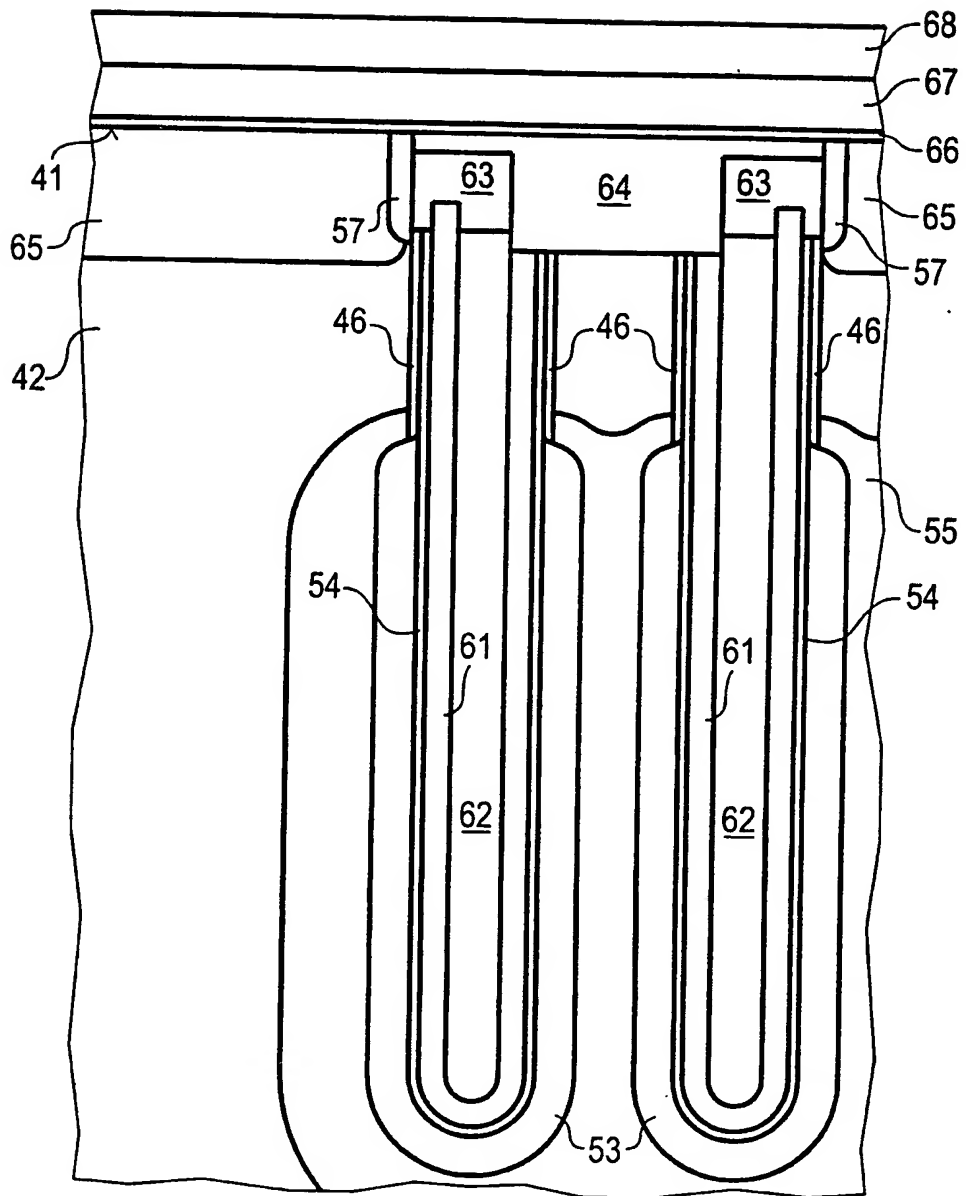
24/27

FIG 24



25/27

FIG 25



26/27

FIG 26

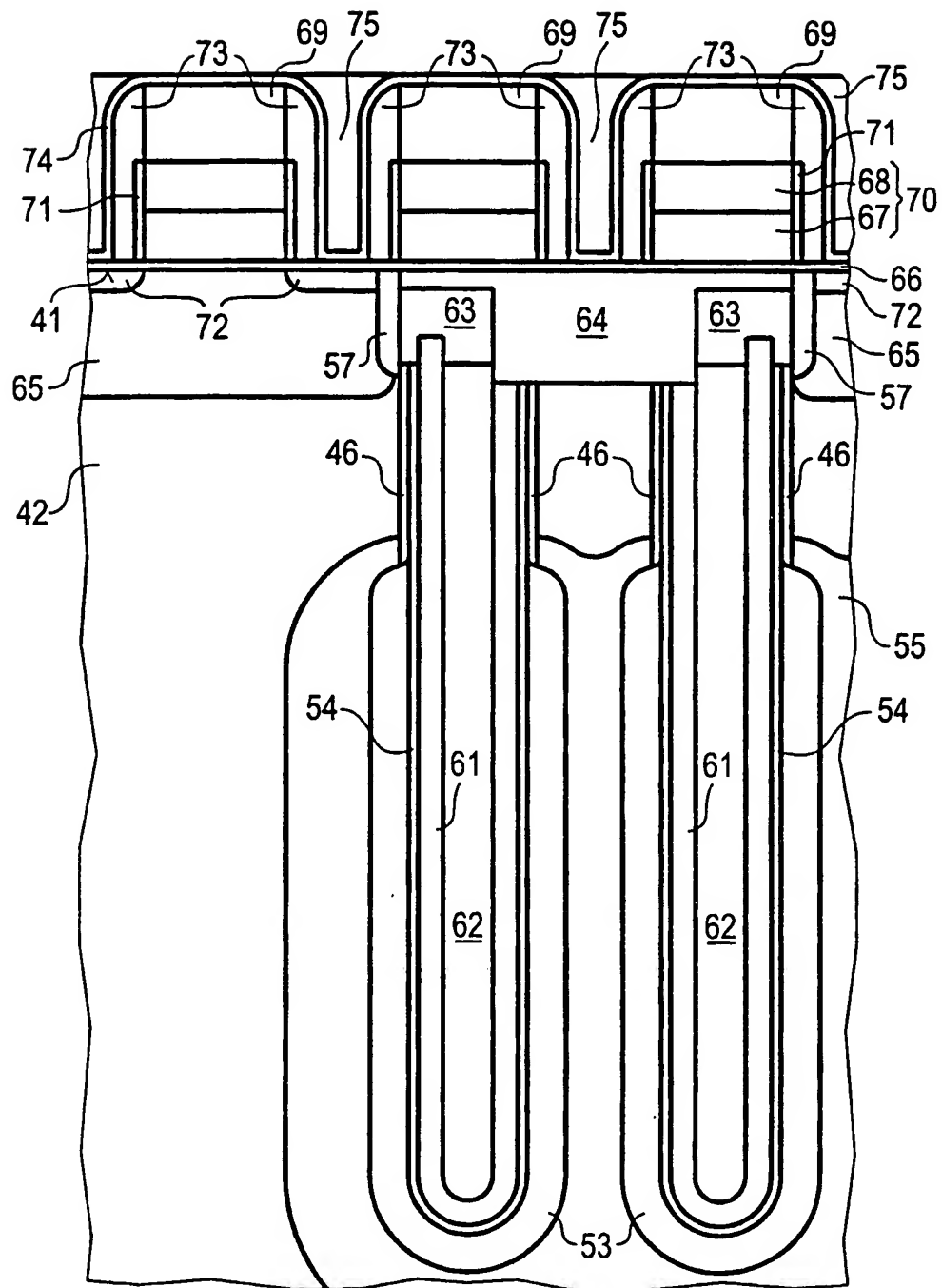
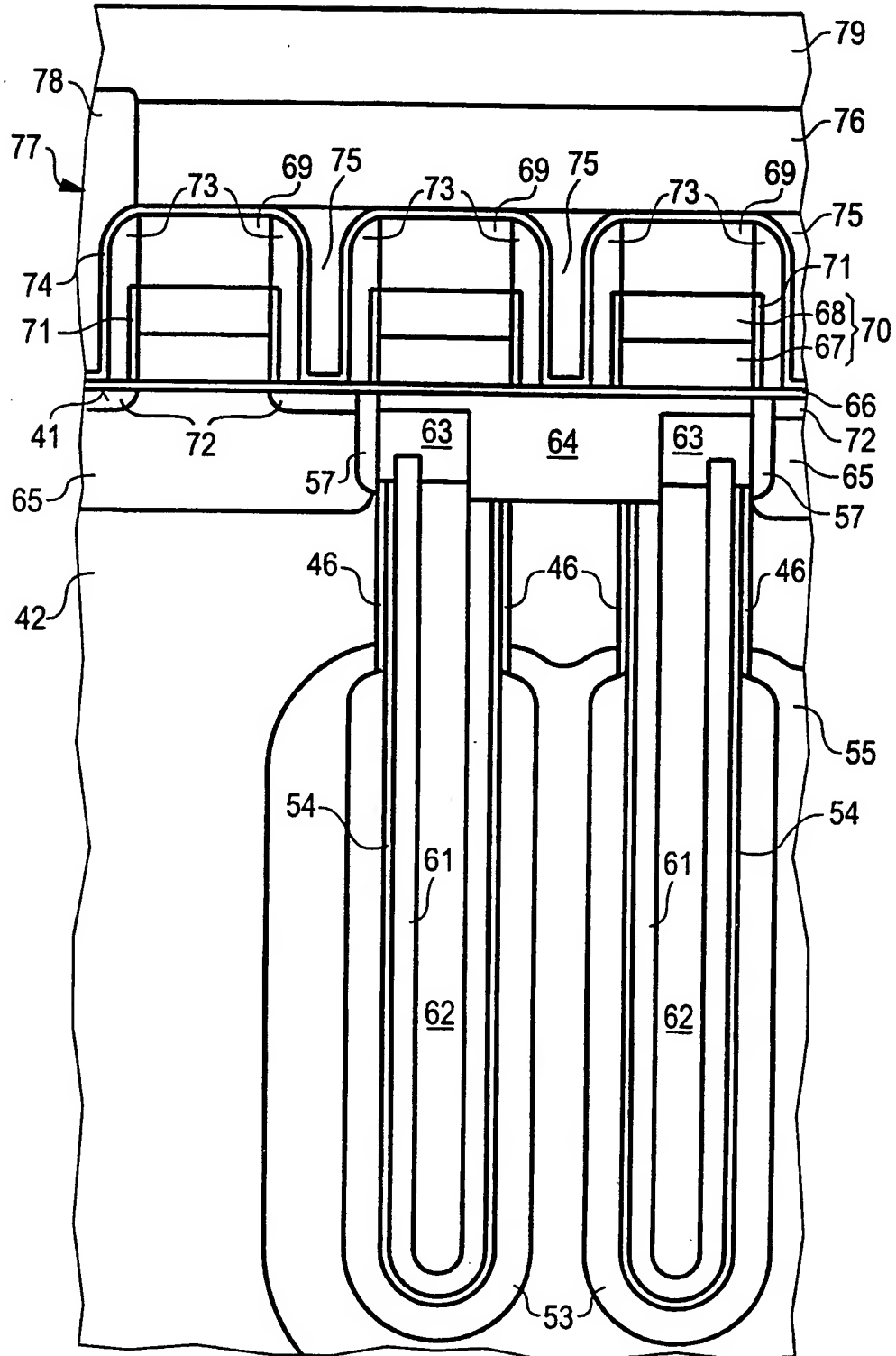


FIG 27

27/27



# INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 00/02218

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H01L21/8242

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 618 761 A (KABUSHIKI KAISHA TOSHIBA) 8 April 1997 (1997-04-08) column 12, line 50 - line 60; figure 13 ---	1-12
X	US 5 442 585 A (KABUSHIKI KAISHA TOSHIBA) 15 August 1995 (1995-08-15) column 15, line 8 - line 12; figure 11 ---	1-12
X	PATENT ABSTRACTS OF JAPAN vol. 010, no. 042 (E-382), 19 February 1986 (1986-02-19) & JP 60 198770 A (HITACHI SEISAKUSHO KK), 8 October 1985 (1985-10-08) abstract --- -/--	1-12

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

\*A\* document defining the general state of the art which is not considered to be of particular relevance

\*E\* earlier document but published on or after the international filing date

\*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

\*O\* document referring to an oral disclosure, use, exhibition or other means

\*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*Z\* document member of the same patent family

Date of the actual completion of the international search

20 December 2000

Date of mailing of the international search report

29/12/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Sinemus, M

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/DE 00/02218

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 013, no. 407 (E-818), 8 September 1989 (1989-09-08) & JP 01 147859 A (TOSHIBA CORP), 9 June 1989 (1989-06-09) abstract ---	1-12
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 292 (E-0944), 25 June 1990 (1990-06-25) & JP 02 094553 A (TOSHIBA CORP), 5 April 1990 (1990-04-05) abstract ---	1-12
A	US 5 629 226 A (KABUSHIKI KAISHA TOSHIBA) 13 May 1997 (1997-05-13) abstract; figures -----	1-12

# INTERNATIONAL SEARCH REPORT

Information on patent family members

Inter. Application No

PCT/DE 00/02218

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5618761 A	08-04-1997	JP 8139043 A DE 19534082 A	31-05-1996 21-03-1996
US 5442585 A	15-08-1995	NONE	
JP 60198770 A	08-10-1985	NONE	
JP 01147859 A	09-06-1989	NONE	
JP 02094553 A	05-04-1990	NONE	
US 5629226 A	13-05-1997	JP 6037275 A US 5336912 A	10-02-1994 09-08-1994

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/02218

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L21/8242

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 618 761 A (KABUSHIKI KAISHA TOSHIBA) 8. April 1997 (1997-04-08) Spalte 12, Zeile 50 - Zeile 60; Abbildung 13 ---	1-12
X	US 5 442 585 A (KABUSHIKI KAISHA TOSHIBA) 15. August 1995 (1995-08-15) Spalte 15, Zeile 8 - Zeile 12; Abbildung 11 ---	1-12
X	PATENT ABSTRACTS OF JAPAN vol. 010, no. 042 (E-382), 19. Februar 1986 (1986-02-19) & JP 60 198770 A (HITACHI SEISAKUSHO KK), 8. Oktober 1985 (1985-10-08) Zusammenfassung --- -/-	1-12



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*G\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

20. Dezember 2000

Absenddatum des internationalen Recherchenberichts

29/12/2000

Name und Postanschrift der internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Sinemus, M



# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 00/02218

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Beitr. Anspruch Nr.
X	PATENT ABSTRACTS OF JAPAN vol. 013, no. 407 (E-818), 8. September 1989 (1989-09-08) & JP 01 147859 A (TOSHIBA CORP), 9. Juni 1989 (1989-06-09) Zusammenfassung -----	1-12
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 292 (E-0944), 25. Juni 1990 (1990-06-25) & JP 02 094553 A (TOSHIBA CORP), 5. April 1990 (1990-04-05) Zusammenfassung -----	1-12
A	US 5 629 226 A (KABUSHIKI KAISHA TOSHIBA) 13. Mai 1997 (1997-05-13) Zusammenfassung; Abbildungen -----	1-12

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Intern. Aktenzeichen

PCT/DE 00/02218

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5618761 A	08-04-1997	JP 8139043 A DE 19534082 A	31-05-1996 21-03-1996
US 5442585 A	15-08-1995	KEINE	
JP 60198770 A	08-10-1985	KEINE	
JP 01147859 A	09-06-1989	KEINE	
JP 02094553 A	05-04-1990	KEINE	
US 5629226 A	13-05-1997	JP 6037275 A US 5336912 A	10-02-1994 09-08-1994

Docket # P2001.0119

Applic. # \_\_\_\_\_

Applicant: BERNHARD SELL ET AL.

Lerner and Greenberg, P.A.  
Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 63062371  
PUBLICATION DATE : 18-03-88

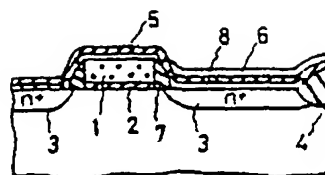
APPLICATION DATE : 03-09-86  
APPLICATION NUMBER : 61208407

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : OSAKI AKIHIKO;

INT.CL. : H01L 27/10

TITLE : SEMICONDUCTOR STORAGE DEVICE  
AND MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To obtain a salicide transistor and a memory cell storage device, which has a high-melting-point film as a capacitor insulating film, by forming a transfer gate electrode having a sidewall on a semiconductor substrate, forming the high-melting-point metal film on the entire surface, and performing heat treatment in an oxidizing atmosphere.

CONSTITUTION: After an element isolation region 4 is formed on a semiconductor substrate, a gate oxide film 2 is formed. After a polysilicon gate 1 is formed, a sidewall 7 of a silicon oxide film is formed, and an n<sup>+</sup> diffused region 3 is formed. Then, the high-melting-point metal is formed, and heat treatment is performed in an oxidizing atmosphere. The high-melting point metal film on the element isolation region 4 and the sidewall 7 is oxidized, and an oxide film 5 of the high-melting-point metal is obtained. Silicide reaction occurs at an interface with silicon. A transfer gate has a salicide structure owing to a silicide 8 formed at this time. In the region, where a capacitor is formed, the oxide film 5 of the high-melting-point metal, which is formed on the surface, is used as a capacitor insulating film.

COPYRIGHT: (C)1988,JPO&Japio

Docket # P2001,0119

Applic. # \_\_\_\_\_

Applicant: BERNHARD SELL ET AL.

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100 Fax: (954) 925-1101